

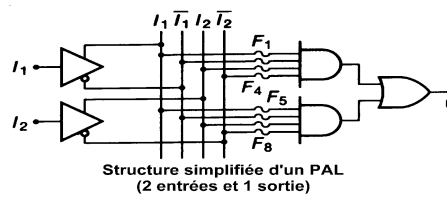


Examen : Electronique Numérique Avancée : FPGA + VHDL

1. (2 points) Qu'est-ce qu'un circuit PAL ? Donnez un exemple a 4 entrées (2 entrées et leurs inverses)

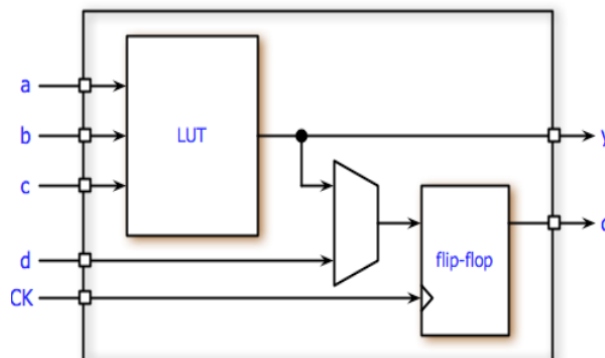
Un circuit PAL est un circuit programmable qu'une seule fois par destruction de fusibles de la matrice ET

Exemple :



2. (2 points) Qu'est-ce qu'un CLB (Configurable Logic Bloc) ? Donner son schéma.

Un CLB est une cellule programmable d'un circuit FPGA composé essentiellement d'une LUT (Look Up Table) d'une bascule et d'un multiplexeur. Son schéma est le suivant :



Exercice 1 (4 points) Donner le schéma du circuit dont la description VHDL est la suivante:

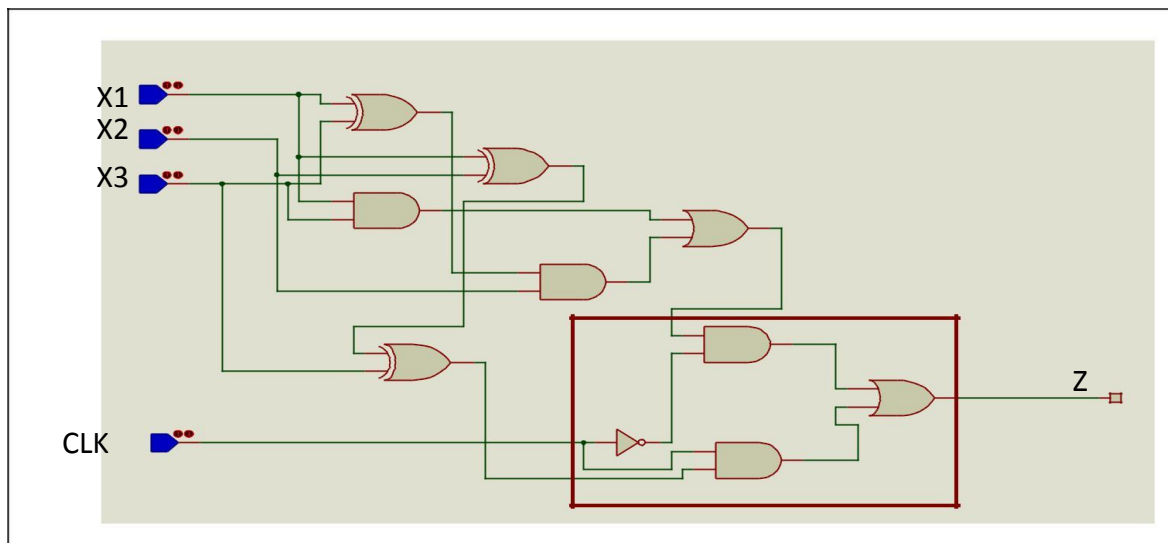
```
library IEEE;
use IEEE.std_logic_1164.all;

entity exercice1
port( x1, x2, x3, sel : in std_logic;
      y : out std_logic);
end exercice1;
architecture archi of exercice1 is
signal a, b, c, d, e, f : std_logic;
```

```

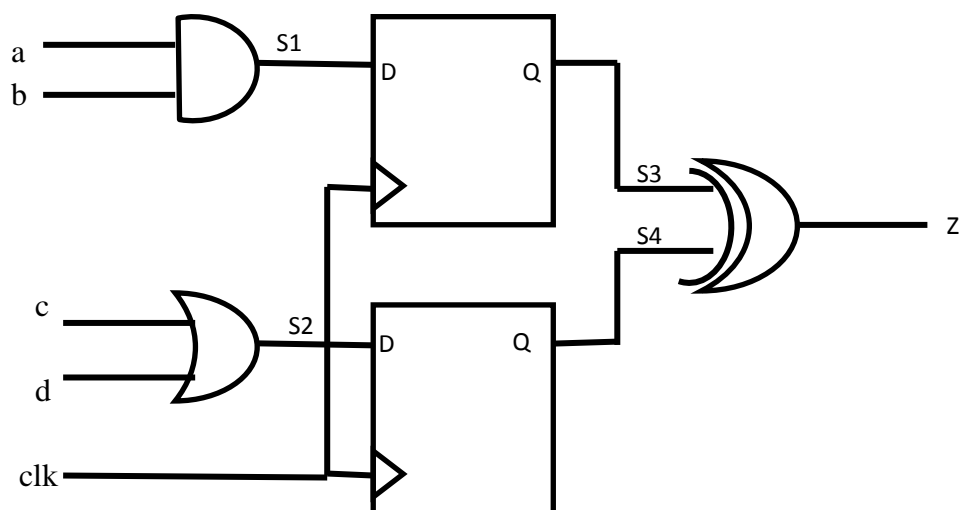
begin
a <= x1 or x3;
b <= x1 and x3;
c <= x2 and a;
d <= b or c;
e <= x1 xor x2;
f <= x3 xor e;
P1: process (d, f, sel)
begin
if sel='0' then y <= d;
else y <= f;
end if;
end process P1;
end architecture archi;

```



Exercise 2 (4 points)

Ecrire le programme VHDL du circuit suivant dont les entrées sorties sont :



```

library IEEE;
use IEEE.std_logic_1164.all;

```

```

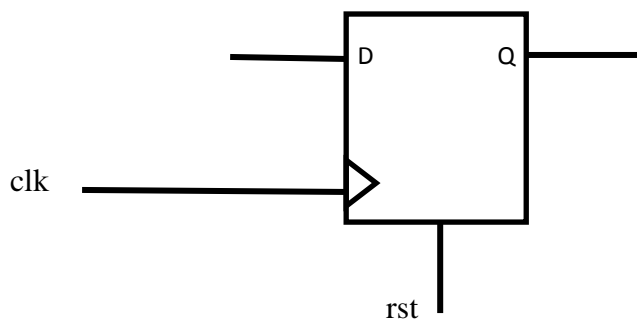
Entity Circuit_seq is
    Port(a, b , c, d, clk : in std_logic ;
          Z      : out std_logic);
End Circuit_seq;

architecture arch of Circuit_seq is
    signal S1, S2, S3, S4 : std_logic;
begin
    S1 <= a and b;
    S  <= c or d;
    Process(clk)
    Begin
        If clk'event and clk = '1' then
            S3 <= S1;
            S4 <= S2;
        End process;
        Z <= S3 xor S4;
    End arch;

```

Exercice 3 (8 points) :

Soit une bascule D avec remise à zéro RST asynchrone



1. (2 points) Donner le code VHDL de cette bascule

code VHDL bascule

```

Library ieee ;
use IEEE.std_logic_1164.all;

```

```

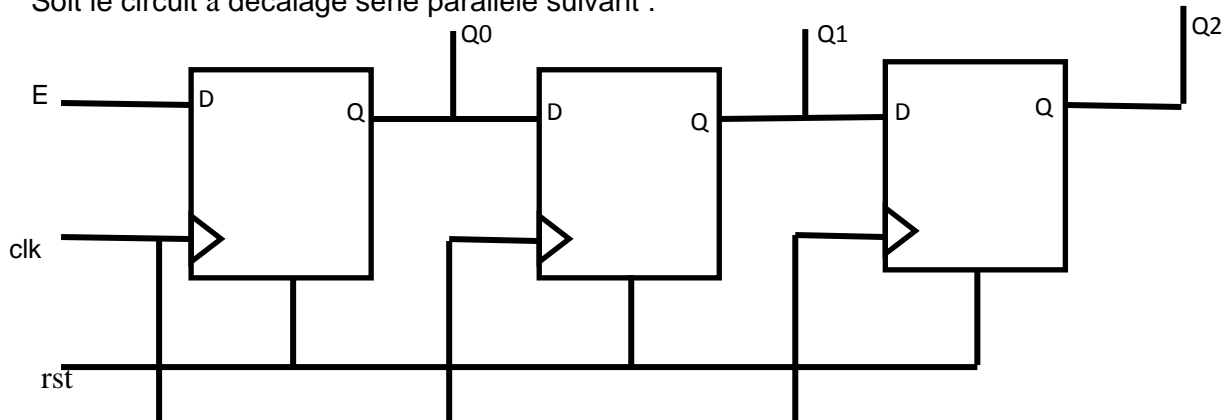
entity Basc_D is
    port(D, clk, rst : in std_logic;
          Q : out std_logic);

    End Basc_D;

    Architecture Arch of Basc_D is
Begin
    Process (clk, rst)
Begin
    If rst = '1' then Q <= '0';
    Elsif clk'event and clk = '1' then
        Q <= D;
    End if;
End process;
End Arch;

```

Soit le circuit à décalage série parallèle suivant :



2. (4 points) Donner le code VHDL structurel de ce circuit à décalage série parallèle

Code VHDL structurel du circuit à décalage série parallèle

```

Library ieee ;
use IEEE.std_logic_1164.all;

entity circuit_dec_serie_paral is
    port(E, clk, rst : in std_logic;
          Q0, Q1, Q2 : out std_logic);

```

```

    End circuit_dec_serie_paral;

Architecture Arch of circuit_dec_serie_paral is

    Component Basc_D

        port(D, clk : in std_logic;

            Q  : out std_logic);

    End Component;

    Signal S_Q0, s_Q1 : std_logic;

Q0 <= S_Q0;

Q1 <= S_Q1;

    U1 : Basc_D port map(E, clk, rst, S_Q0);

    U2 : Basc_D port map(S_Q0, clk, rst, S_Q1);

    U3 : Basc_D port map(S_Q1, clk, rst, Q2) ;

End Arch ;

```

3. (2 points) Compléter le diagramme temporel suivant :

