

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITÉ AKLI MOHAND OULHADJ BOUIRA



FACULTÉ DES SCIENCES ET DES SCIENCES APPLIQUÉES
DEPARTEMENT DE GENIE ELECTRIQUE

Electronique Numériques Avancées : FPGA, VHDL

Cours présenté par :
M. Arezki FEKIK

Dans le cadre de la formation **Master 1 Electroniques des Systèmes Embarqués**

Introduction générale

- ▶ **VHDL** est l'acronyme de **VHSIC HDL** (*Very High Speed Integrated Circuit Hardware Description Language*), c'est un langage de description matérielle qui a été créé dans les années 1980 à la demande du département de la défense américaine (**DOD**).
- ▶ La première version du **VHDL** accessible au public a été publiée en 1985, et a fait l'objet d'une norme internationale en **1986** par l'institut des ingénieurs électriciens et électroniciens (**IEEE**).
- ▶ De nos jours, le langage **VHDL** devient un outil indispensable pour la conception des systèmes électroniques intégrés, il est proposé par la grande majorité des sociétés de développement et la commercialisation d'**ASIC** et d'**FPGA** telle que la société américaine **Xilinx**.
- ▶ Avec un langage de description matérielle et un **FPGA** (*Field Programmable Gate Array*), un concepteur peut développer rapidement et simuler un circuit numérique sophistiqué, de l'implémenter sur une carte de prototypage, et de vérifier son fonctionnement.

PLAN DE COURS

Chapitre. I: Concepts de base du langage VHDL

Chapitre. II: Objets et types de données

Chapitre. III: Différentes descriptions d'une architecture

Chapitre. IV: Modélisation des circuits séquentiels

Chapitre. V: Exemple De FPGA : La Famille Spartan-6

Chapitre. I: Concepts de base du langage VHDL



Chapitre. I: Concepts de base du langage VHDL

► Description générale :

Prenons comme exemple le circuit intégré 7400 (**Figure I.1(a)**). Ce dernier est constitué de quatre portes logiques NAND à deux entrées (**Figure I.1(b)**).

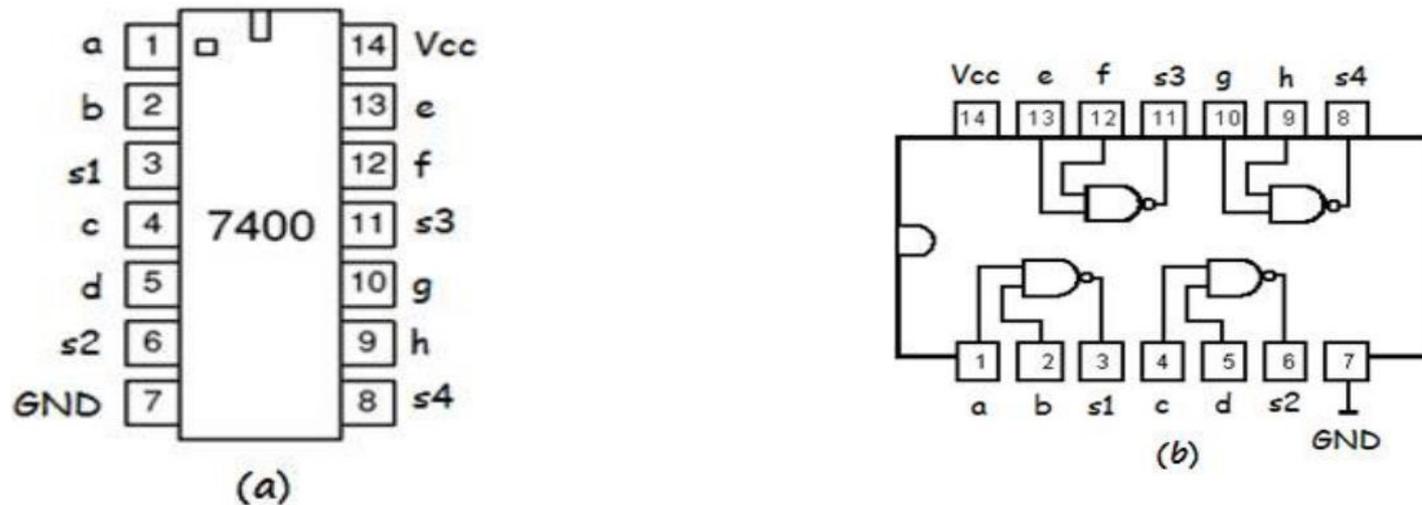


Figure I.1: Circuit intégré 7400 (Vue externe (a) et vue interne (b)).

Chapitre. I: Concepts de base du langage VHDL

- ▶ La description du circuit intégré 7400 en langage VHDL est donnée par le **listing I.1**

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity CI_7400 is
5      port ( a, b, c, d, e, f, g, h : in std_logic;
6            s1, s2, s3, s4 : out std_logic
7            );
8  end CI_7400;
9
10 architecture behavioral of CI_7400 is
11 begin
12     s1 <= a nand b;
13     s2 <= c nand d;
14     s3 <= e nand f;
15     s4 <= g nand h;
16 end behavioral;
```

Listing I.1 :Description VHDL du circuit intégré 7400.

Chapitre. I: Concepts de base du langage VHDL

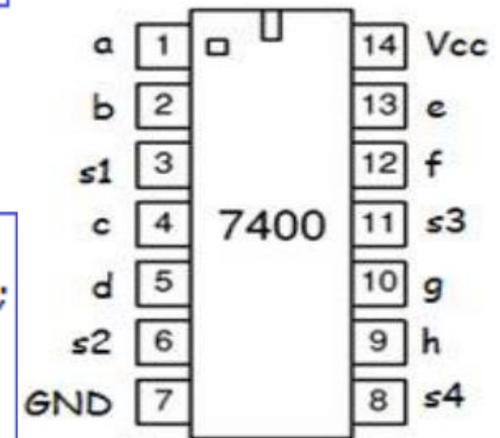
► Règles de base du VHDL:

Dans notre code, on fait appel au paquetage *std_logic_1164* qui se trouve dans la bibliothèque *IEEE*.

```
1 library ieee;  
2 use ieee.std_logic_1164.all;
```

► Déclaration de l'entité :

```
4 entity CI_7400 is  
5     port ( a, b, c, d, e, f, g, h : in std_logic;  
6           s1, s2, s3, s4 : out std_logic  
7           );  
8 end CI_7400;
```



(a)

L'entité correspond au circuit vu de l'extérieur (Figure 1.1(a)), et comprend les entrées-sorties du circuit.

Chapitre. I: Concepts de base du langage VHDL

▶ Déclaration de l'entité :

La première ligne d'une entité (ligne 4 du code **Listing I.1**) indique le nom du circuit, "CI_7400" dans notre exemple.

NOM_DU_PORT : MODE TYPE ;

- ▶ Le **mode** d'un port peut être :
1-IN; 2-OUT; 3-INOUT; 4-BUFFER.
- ▶ Pour le **TYPE** du port, il faut savoir que le langage VHDL est un langage typé, c'est-à-dire que chaque objet manipulé doit avoir un type de données.
- ▶ Si le type du signal utilisé est un bus de données, on utilise alors le type **STD_LOGIC_VECTOR** qui est défini comme étant un tableau unidimensionnel d'éléments de type **STD_LOGIC**.

Chapitre. I: Concepts de base du langage VHDL

▶ Déclaration de l'entité :

➤ *Exemple :*

Soit le signal d'entrée A de 8 bits, on le déclarera en VHDL comme suit :

A : **in std_logic_vector (7 downto 0) ;**

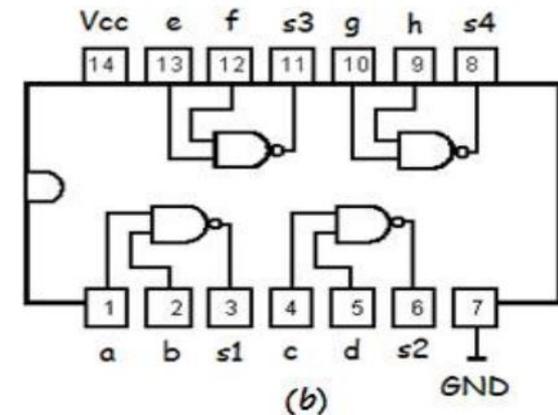
Ou bien :

A : **in std_logic_vector (0 to 7);**

Chapitre. I: Concepts de base du langage VHDL

► Déclaration de l'architecture:

```
10 architecture behavioral of CI_7400 is
11 begin
12     s1 <= a nand b;
13     s2 <= c nand d;
14     s3 <= e nand f;
15     s4 <= g nand h;
16 end behavioral;
```



La différence des architectures réside dans leurs noms :

Architecture **NOM_DE_L'ARCHITECTURE** of **NOM_DE_L'ENTITE** is

Chapitre. I: Concepts de base du langage VHDL

▶ **Assignment conditionnelle et assignment sélectionnée des signaux:**

✓ **Assignment conditionnelle des signaux :**

Le format d'une assignment conditionnelle des signaux est le suivant :

```
Signal_1 <= valeur_expression_1 WHEN choix_1 ELSE
```

```
valeur_expression_2 WHEN choix_2 ELSE
```

```
...
```

```
valeur_expressio
```

```
n_n ;
```

Chapitre. I: Concepts de base du langage VHDL

✓ **Assignment sélectionnée des signaux :**

Le format d'une assignation de sélection des signaux est le suivant :

WITH sélecteur **SELECT**

Signal_1 <= valeur_expression_1 **WHEN** choix_1,

valeur_expression_2 **WHEN** choix_2 ,

valeur_expression_3 **WHEN** choix_3 ,

...

valeur_expression_n **WHEN OTHERS** ;