

CHAPITRE I : LES REGISTRES

Généralités

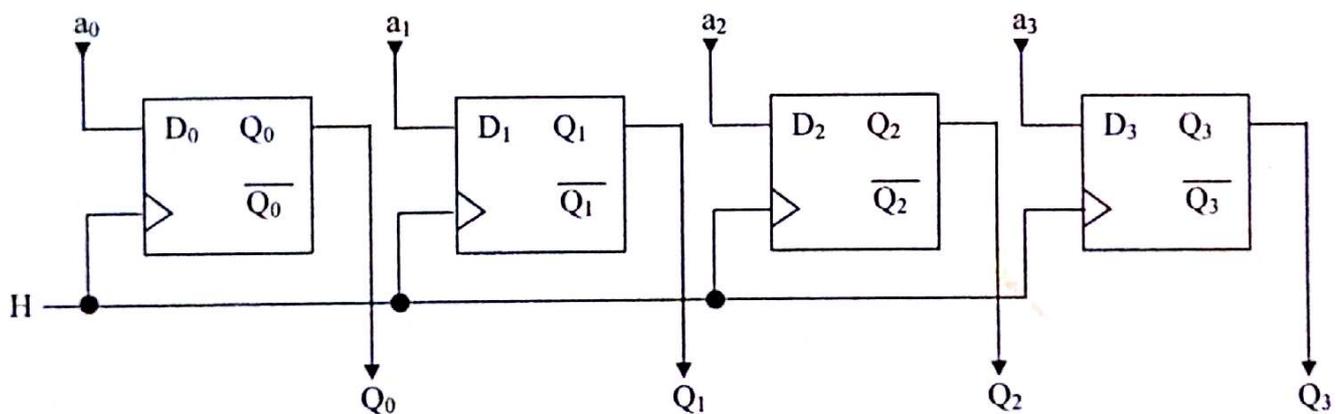
Les registres sont un ensemble de mémoire élémentaire (bascules) qui servent à enregistrer ou à modifier des combinaisons binaires appelées mots ou mots binaires. On distingue deux types de registres: Les registres de mémoire ou enregistrements et les registres à décalage.

I. Registre de mémorisation

Les registres de mémorisation peuvent être classés selon la méthode d'écriture de données ou de lecture.

I.1. Registre à écriture parallèle / lecture parallèle (Parallel In Parallel Out : PIPO)

Tous les bits sont transmis et mémorisés en même temps dans ce type de registre.



Exemple :

Avant le front :

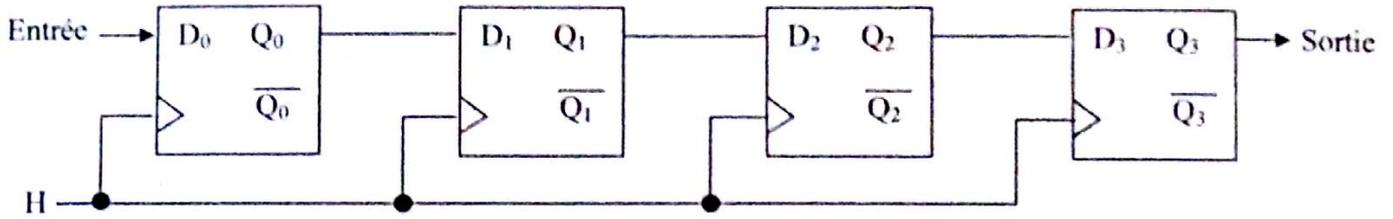
$a_0=D_0$	$a_1=D_1$	$a_2=D_2$	$a_3=D_3$
1	0	0	1
Q_0	Q_1	Q_2	Q_3
0	0	0	0

Après le front :

Q_0	Q_1	Q_2	Q_3
1	0	0	1

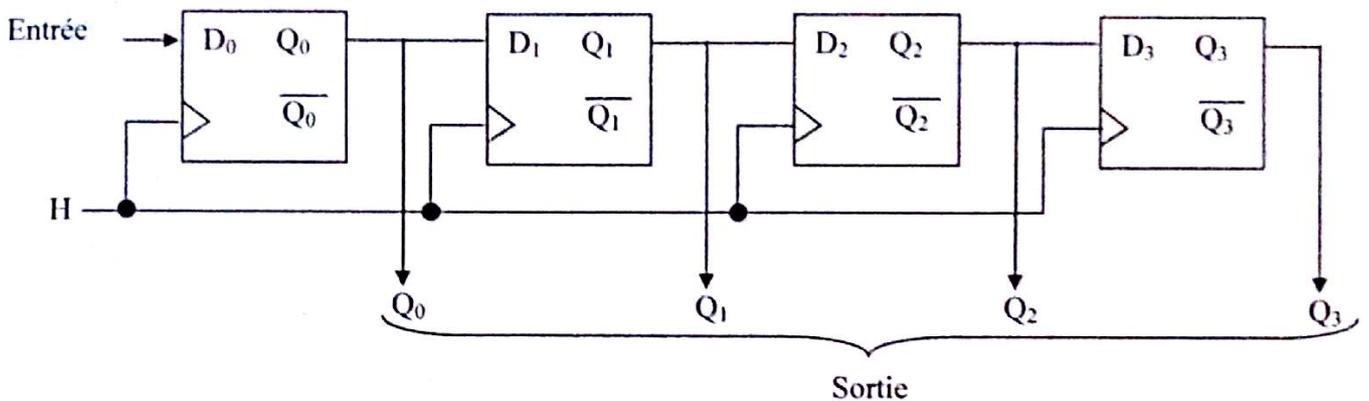
1.2. Registre à écriture série / lecture série (Serial In Serial Out : SISO)

C'est un type de registre dans lequel les données arrivent en série et sont transmises en série (sur une seule sortie). C'est un circuit retardateur.



1.3. Registre à écriture série / lecture parallèle (Serial In Parallel Out : SIPO)

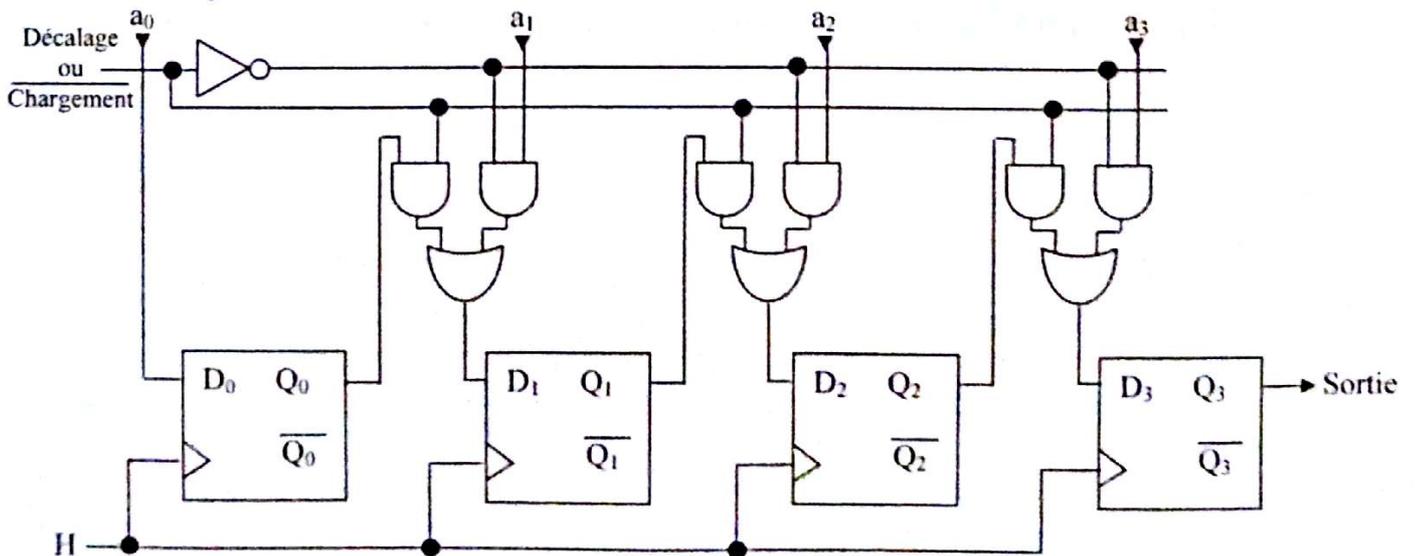
C'est un type de registre dans lequel les données arrivent en série et ressortent en parallèle.



La transmission parallèle des informations d'un registre à un autre est la plus facile. La transmission série utilise peu d'éléments donc peu coûteuse.

1.4. Registre à écriture parallèle / lecture série (Parallel In Serial Out : PISO)

Le chargement dans ce type de registre s'effectue d'un manière parallèle et la récupération de l'information est sérielle. Dans ce type de registre on a besoin d'un signal de chargement et/ou de décalage.



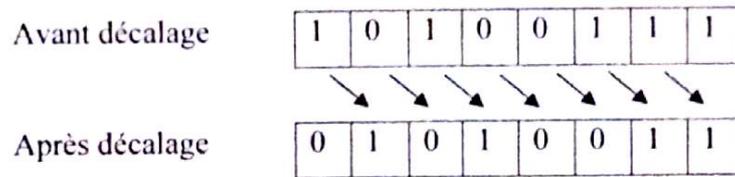
II. Registres à décalage

Ce sont des circuits qui transfèrent les données d'une bascule à une autre, bit par bit (1 bit à la fois).

II.1. Décalage à droite

Il consiste à faire avancer l'information vers la droite.

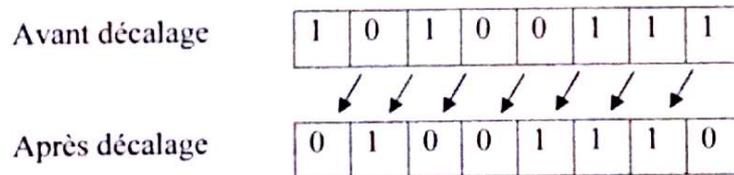
Exemple:



II.2. Décalage à gauche

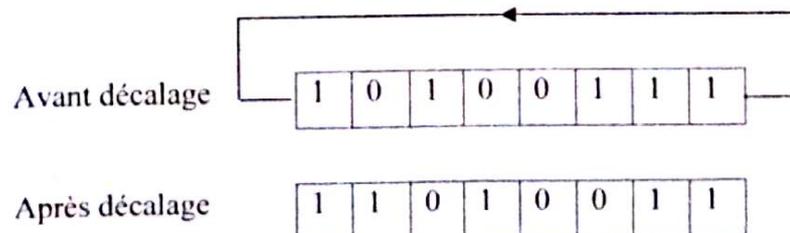
Il consiste à faire avancer l'information vers la gauche.

Exemple:

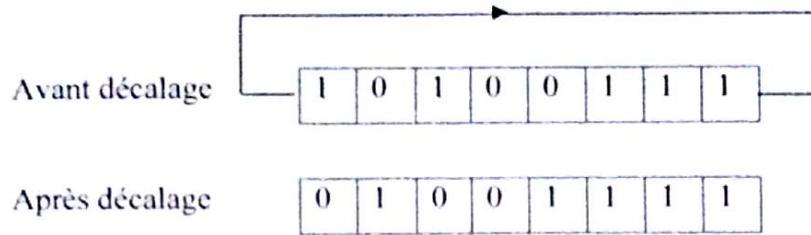


II.3. Registre à décalage en anneau ou registre à décalage circulaire (rotation)

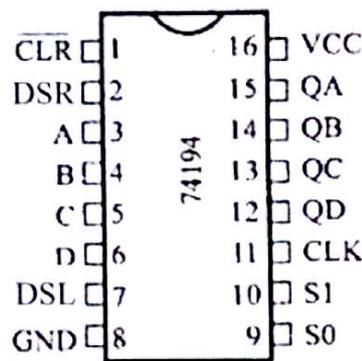
* Rotation à droite:



* Rotation à gauche:



II.4. Registre à décalage universel bidirectionnel 4 bits



* **Spécificités**

- Entrées d'horloge et de contrôle amplifiées
- Possibilité de décalage à gauche ou à droite
- Transfert synchrone des données en parallèle ou en série
- RAZ générale asynchrone
- Mode "maintien des sorties"

	Mode de fonctionnement	CLK	/CLR	S1	S0	DSR	DSL	QA	QB	QC	QD
1	Remise à zéro	X	0	X	X	X	X	0	0	0	0
2	Maintien des sortie	X	1	0	0	X	X	QA	QB	QC	QD
3	Décalage à gauche	↑	1	1	0	X	0	QB	QC	QD	0
4	Décalage à gauche	↑	1	1	0	X	1	QB	QC	QD	1
5	Décalage à droite	↑	1	0	1	0	X	0	QA	QB	QC
6	Décalage à droite	↑	1	0	1	1	X	1	QA	QB	QC
7	Chargement parallèle	↑	1	1	1	X	X	A	B	C	D

- 1: On remarque que l'entrée de RAZ /CLR est active au niveau 0 et est prioritaire.
- 2: Lorsque $S0=S1=0$, l'état des sorties n'évolue pas.
- 3 et 4: En mode décalage à gauche, il faut placer $S1$ à 1 et $S0$ à 0, les états des sorties se décalent (par exemple, QA prend l'état présent sur QB avant le front montant (FM) sur (CLK). Il est important de constater que QD prend l'état présent sur l'entrée DSL.
- 5 et 6: Mode décalage à droite.
- 7: Mode chargement parallèle ($S0=S1=1$ et (FM) sur (CLK)). Ce mode permet de charger les états logiques des sorties qui seront décalées. (par exemple, la sortie QA prend l'état logique présent sur l'entrée (A)).

* Autres registres à décalage

- 74164 : Registre à décalage 8 entrées
- 74165 : Registre à décalage 8 entrées, sortie inversée
- 74166 : Registre à décalage 8 entrées et entrée série
- 74299 : Registre à décalage bidirectionnel 8 bits, sortie 3 états

* Application des registres à décalage

La fonction registre à décalage est rencontrée principalement dans les applications de:

- Transmission de données numériques sur de longues distances,
- Génération de retard sur des signaux logiques ou numériques,
- Calcul numérique binaire
- Commande des moteurs pas à pas
- ...

III. Compteurs

Une bascule peut avoir deux états différents à sa sortie (0 et 1), et peut donc permettre de compter de 0 à 1. Avec deux bascules on peut avoir jusqu'à quatre états différents : 00, 01, 10 et 11, ce qui permet de compter de 0 à 3 en binaire naturel. Avec trois bascules on a huit états (de 000 à 111), et en général avec n bascules on a 2^n états : on peut donc compter de 0 à $2^n - 1$. Il reste à trouver comment doivent être connectées les n bascules entre elles pour réaliser un compteur, sachant qu'il existe plusieurs types de compteurs, et donc plusieurs techniques de réalisation.

III.1. Classification des compteurs

En logique séquentielle, les compteurs peuvent être décrits en citant cinq caractéristiques :

1– Le sens de comptage. Il permet de différencier :

- * Les compteurs (évolution croissante de la valeur de sortie dans le temps)
- * Les décompteurs (évolution décroissante de la valeur de sortie dans le temps)

2– Le code dans lequel est exprimé la valeur sortie. Il permet de différencier :

- * Les compteurs en binaire naturel
- * Les compteurs BCD
- * Les compteurs en Code Gray
- * Etc...

3– Le type de basculement du compteur. Il permet de différencier :

- * Les compteurs asynchrones
- * Les compteurs synchrones

4– Le nombre de bits en sortie, ou l'intervalle de la valeur de sortie. Il permet de connaître l'ensemble des valeurs que peut prendre la valeur de sortie du compteur. Exemples : compteur 4 bits ; décompteur de 25 à 3 (sous entendu décompteur 5bits).

III.2. Modes de comptage

Les compteurs sont différenciés par :

- * Les compteurs à cycle complet
- * Les compteurs à cycle incomplet

Exemples :

- Un compteur 4 bits qui compte de 0 à 15 en binaire naturel est un compteur à cycle complet, car sa valeur de sortie utilise toutes les combinaisons possibles de ses sorties.
- Un compteur 4 bits qui compte de 0 à 9 seulement (on l'appelle aussi compteur BCD) est un compteur à cycle incomplet, car les 16 combinaisons de ses 4 sorties ne sont pas toutes utilisées.
- Un décompteur 6 bits qui décompte de 53 à 12 est un décompteur à cycle incomplet.
- Si on parle d'un compteur binaire naturel 7 bits à cycle complet, on sait qu'il compte forcément de 0 à 127.

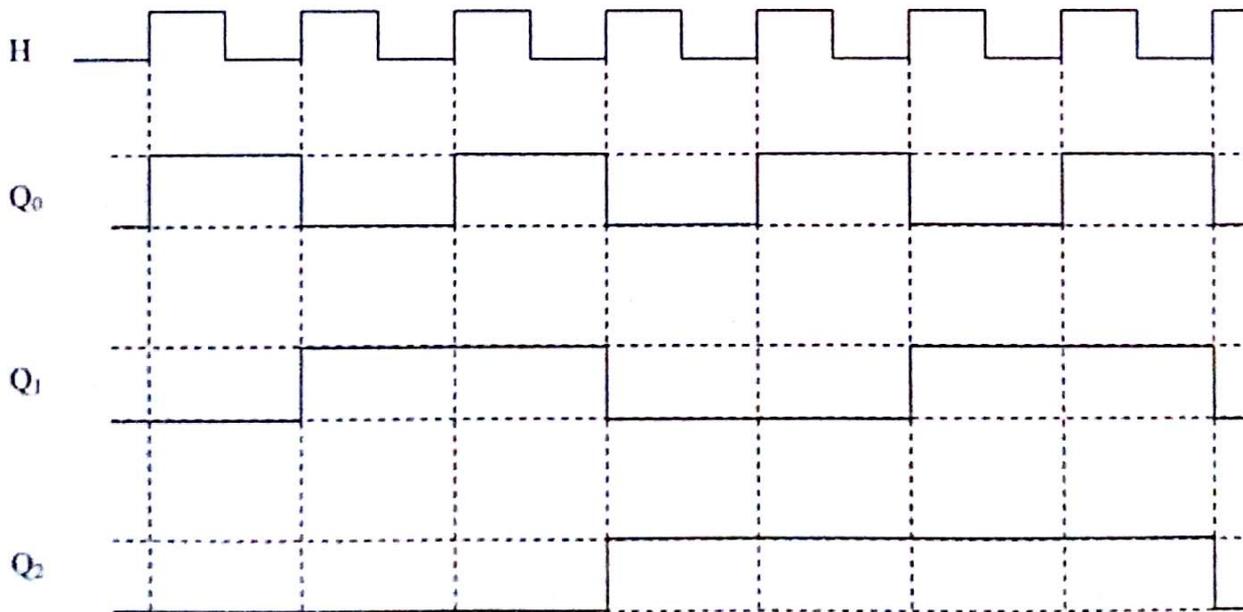
III.3. Exemple d'un compteur binaire synchrone à cycle complet à 3 bits

Soit à synthétiser un compteur binaire à cycle complet à 3 bits

*** Table de fonctionnement du compteur**

Etat présent			Etat futur			Entrées		
Q ₂	Q ₁	Q ₀	Q ₂ ⁺	Q ₁ ⁺	Q ₀ ⁺	D ₂	D ₁	D ₀
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

*** Chronogramme du compteur**



*** Réalisation avec des bascules D**

$$D_2 = Q_2 \oplus (Q_1 \cdot Q_0)$$

$$D_1 = Q_1 \oplus Q_0$$

$$D_0 = \neg Q_0$$

* Logigramme

