

ARCHITECTURE DES ORDINATEURS

3)- Généralités sur le (INTEL®) iAPX 80286

Biblio :: « 80286 : Mise en œuvre & programmation »
[Catherine Vieillefond] – Ed. SYBEX, 1989 – ISBN: 2-7361-0138-9.

@ web::

1-<http://css.csail.mit.edu/6.858/2013/readings/>

2-<http://www.ustudy.in/node/>

3-<http://www.computerhistory.org/>

4-<http://www.intel.com/>

5-http://www.indiastudychannel.com/attachments/Resources/99873-2205-80x86_features.pdf

6-<http://www.pcguides.com/>

KeyWords::



'Microprocessor' / 'Microprocessor architecture' / 'Design' / 'Interfacing ...'



3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques ‘matérielles’ générales

Fonctionnement ‘basique’ d’un CPU

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé (DOS → WINDOWS / UNIX ...)

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task) // SWAP

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

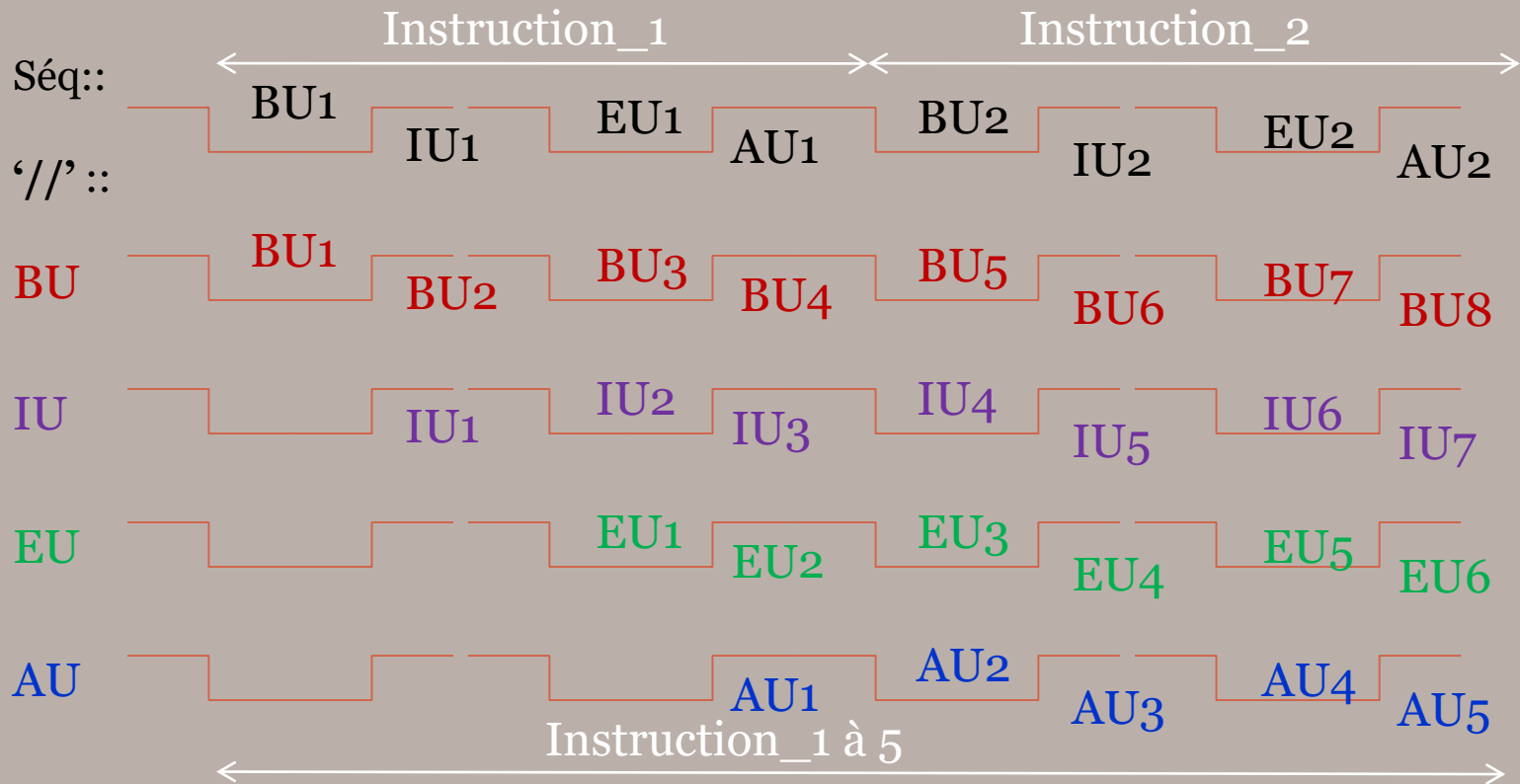
View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)



3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer) :: « MOV » → « MOVS »

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

Bus d'@ :: 24 bits – Bus de data :: 16 bits -

View 'Logiciel' : 4 niveaux de privilège (3 S.E. // 1 Util.)

3)- Généralités sur le (INTEL®) iAPX 80286



Caractéristiques 'HARD' générales

Présentation :: Chip (type: Pin Grid Array 'PGA') à 68 pins (63 effectifs), DMA prog., Div_Fréq (4, 8,16) ...

Horloge :: 4 à 12 MHz

BiMode : Réel & Protégé

Mémoires supportées :: Réelle (mode R:: 1 Mo) // Virtuelle (mode P :: 1 Go/Task)

Archi // :: Pipeline de 4 unités :: @ (AU) // Bus (BU) // Instruct. (IU) // Exec. (EU)

Archi // :: 'Prefetch' avec pile d'anticipation de 6 octets.

Archi :: CISC (Complex Instruction-Set Computer)

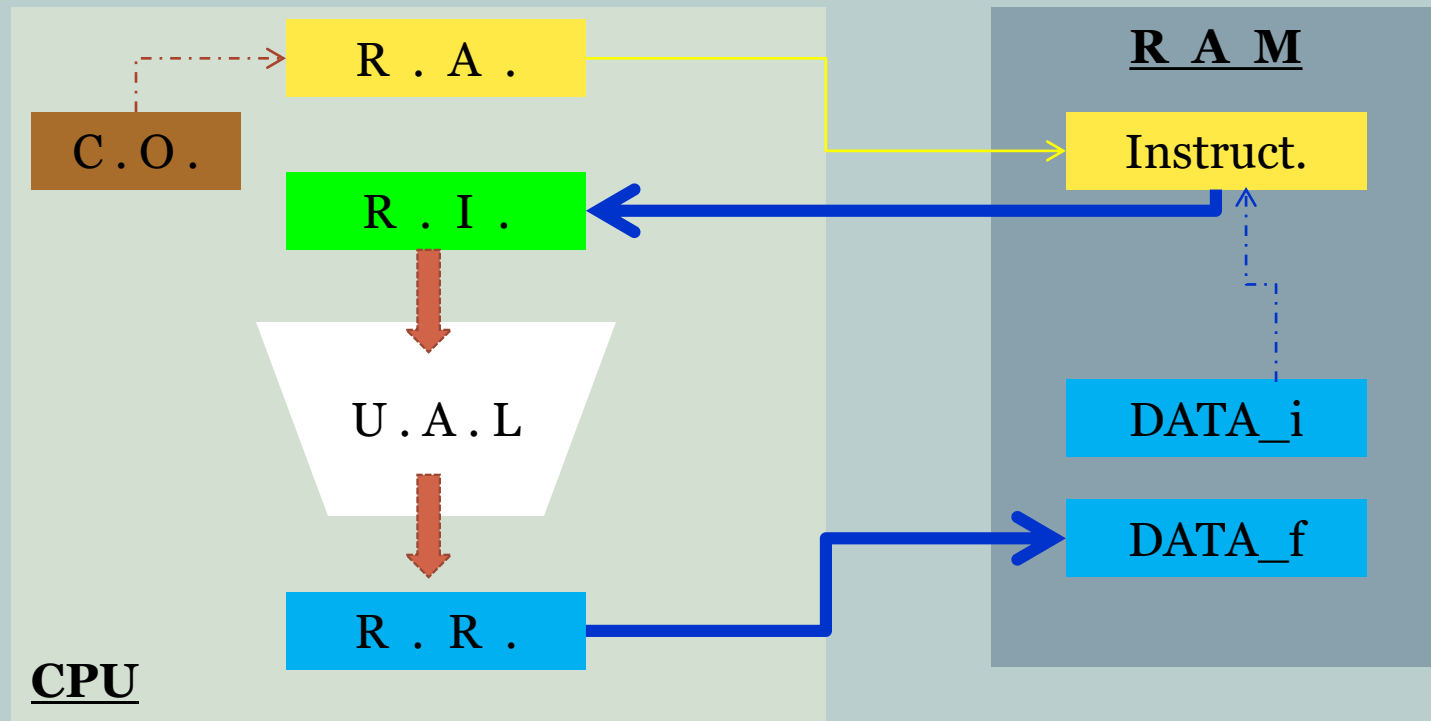
Bus d'@ :: 24 bits – Bus de data :: 16 bits -

Pt./View 'Logiciel' : 4 niveaux de privilège (S.E. : 3 // Util. : 1)

3)- Généralités sur le (INTEL®) iAPX 80286



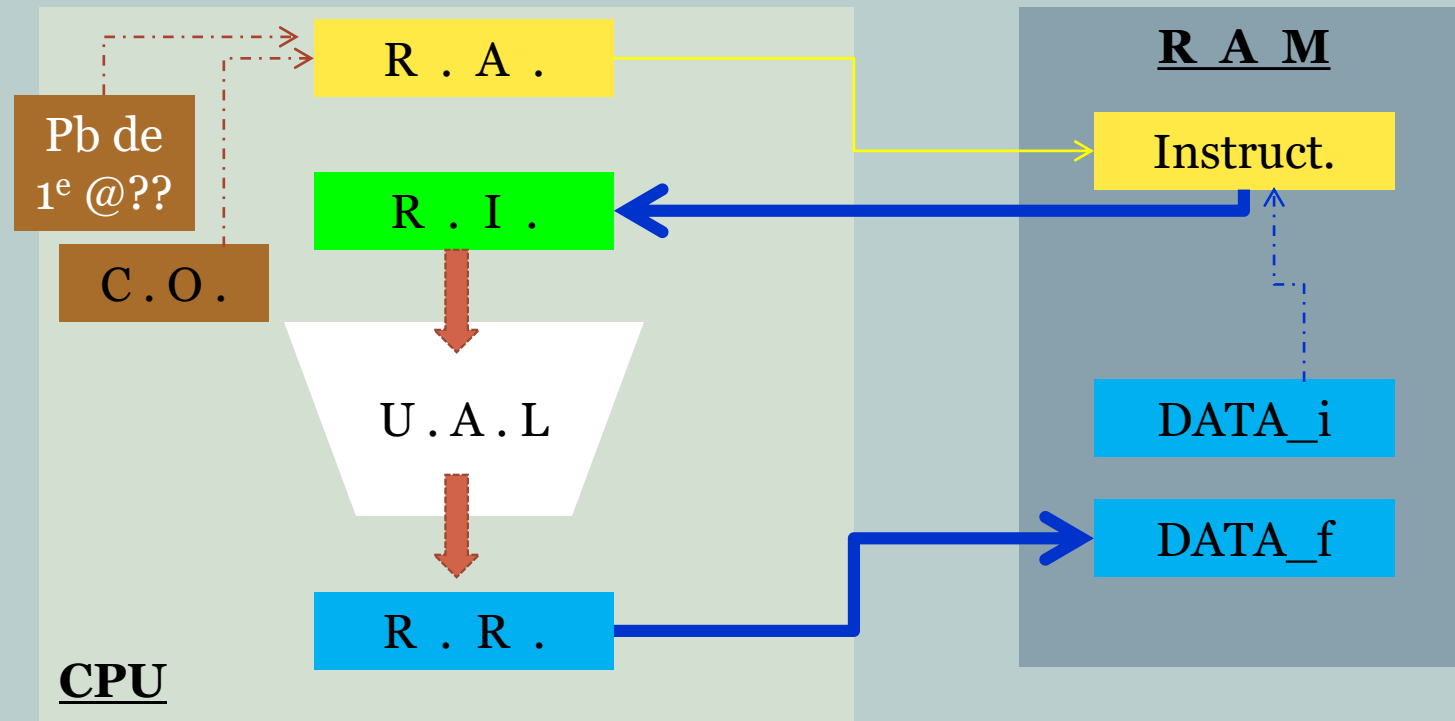
Fonctionnement 'basique' d'un CPU



3)- Généralités sur le (INTEL®) iAPX 80286



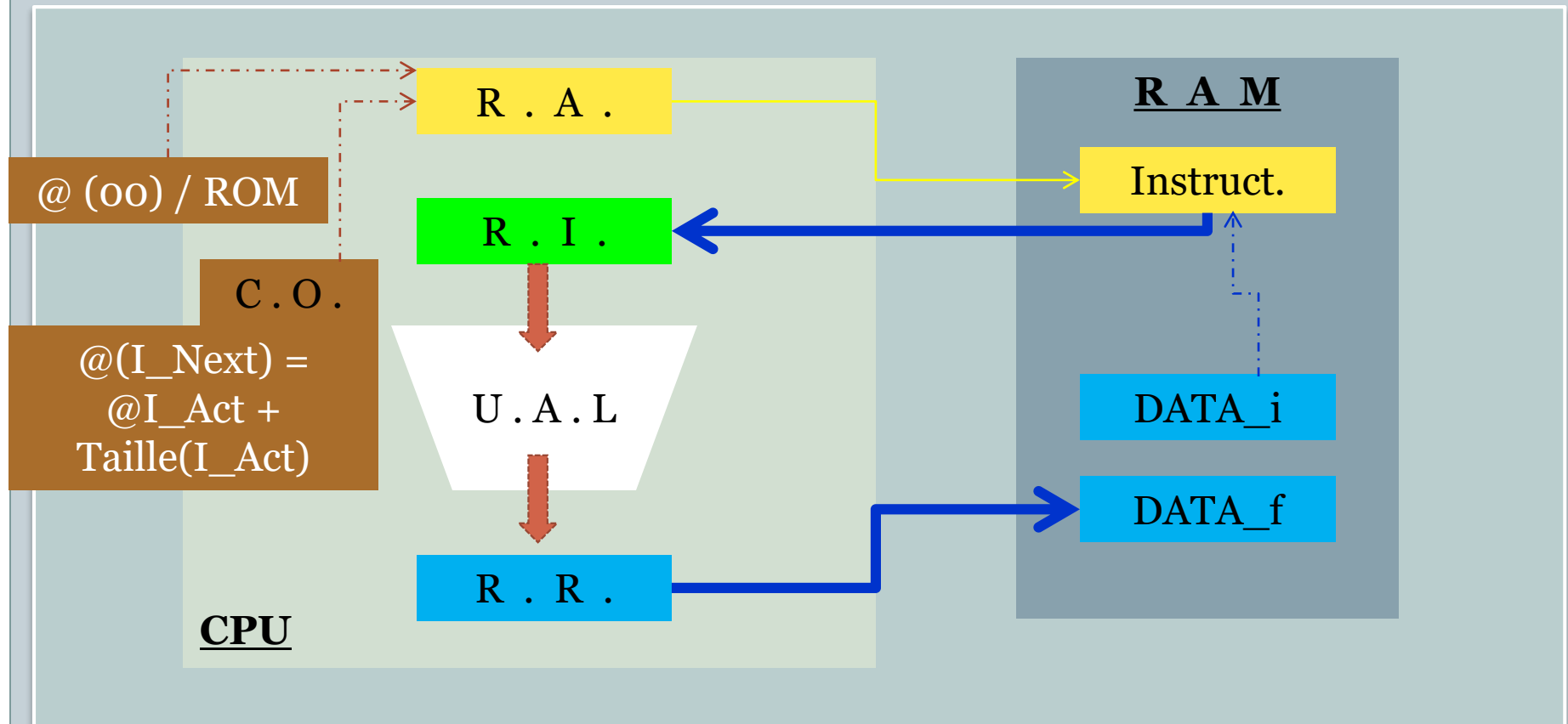
Fonctionnement 'basique' d'un CPU



3)- Généralités sur le (INTEL®) iAPX 80286



Fonctionnement 'basique' d'un CPU



3)- Généralités sur le (INTEL®) iAPX 80286



Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)

3)- Généralités sur le (INTEL®) iAPX 80286





Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)  NE SAIT PAS FAIRE AUTRE CHOSE !!
 « BÊTE & DISCIPLINé !! »

3)- Généralités sur le (INTEL®) iAPX 80286



Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)  NE SAIT PAS FAIRE AUTRE CHOSE !!
 BÊTE & DISCIPLINÉ !!
2. Le CPU ne peut exécuter que les instructions présentes en mémoire principale (RAM / except. :: ROM)

3)- Généralités sur le (INTEL®) iAPX 80286






Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)  NE SAIT PAS FAIRE AUTRE CHOSE !!
 BÊTE & DISCIPLINÉ !!
2. Le CPU ne peut exécuter que les instructions présentes en mémoire principale (RAM / except. :: ROM)  Installation « indispensable » / Ouverture fichiers

3)- Généralités sur le (INTEL®) iAPX 80286





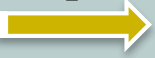

Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)  NE SAIT PAS FAIRE AUTRE CHOSE !!
 BÊTE & DISCIPLINÉ !!
2. Le CPU ne peut exécuter que les instructions présentes en mémoire principale (RAM / except. :: ROM)  Installation « indispensable » / Ouverture fichiers
3. Le CPU ne peut exécuter qu'une instruction présente (chargée) dans le CPU.

3)- Généralités sur le (INTEL®) iAPX 80286



Conclusion :: 3 principes 'fondamentaux'

1. Le CPU a pour fonction principale l'exécution des instructions d'un programme (qcq)  NE SAIT PAS FAIRE AUTRE CHOSE !!
 BÊTE & DISCIPLINÉ !!
2. Le CPU ne peut exécuter que les instructions présentes en mémoire principale (RAM / except. :: ROM)  Installation « indispensable » / Ouverture fichiers
3. Le CPU ne peut exécuter qu'une instruction présente (chargée) dans le CPU.
 Chargement « systématique » des infos (Inst + Data) dans les « registres_CPU »

3)- Généralités sur le (INTEL®) iAPX 80286



A suivre ...

Généralités sur le 80286 (II) :: les registres 'internes'