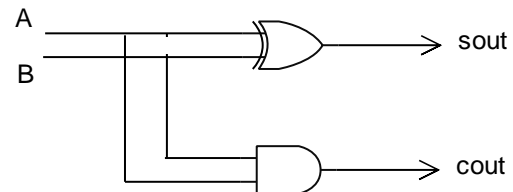


UEF 12.12 - DSP et FPGA

TD N°01

Exercice 1 :

1. Décrivez les portes logiques suivantes en VHDL :
ET, OU et XOR.
2. Décrivez en VHDL le circuit logique ci-contre :



Exercice 2 :

1. Complétez le code VHDL et le logigramme qui représente l'additionneur 1 bit suivant :

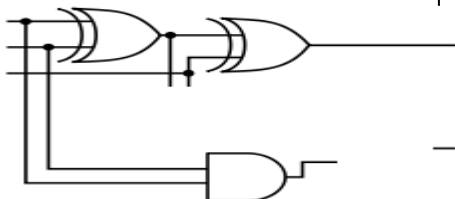
Library IEEE;
Use.....

Entity add1.....

.....

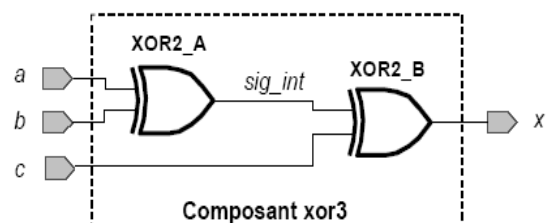
architecture arch_add1 ofis

.....
s <= ((a xor b) xor ri);
r <= ((a and b) or (ri and (a xor b)));



Exercice 3 :

Réalisez le composant xor3 décrit par le schéma suivant
(en gardant les noms de signaux) en VHDL (Data flow :
Flot de données).



Exercice 4:

Ecrivez le code VHDL des sorties décrites par la table de vérité ci-contre

<i>inputs</i>			<i>outputs</i>		
<i>A</i>	<i>B</i>	<i>C</i>	<i>F1</i>	<i>F2</i>	<i>F3</i>
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	1	0	1
1	1	0	1	0	1
1	1	1	1	1	1