

TP N°01

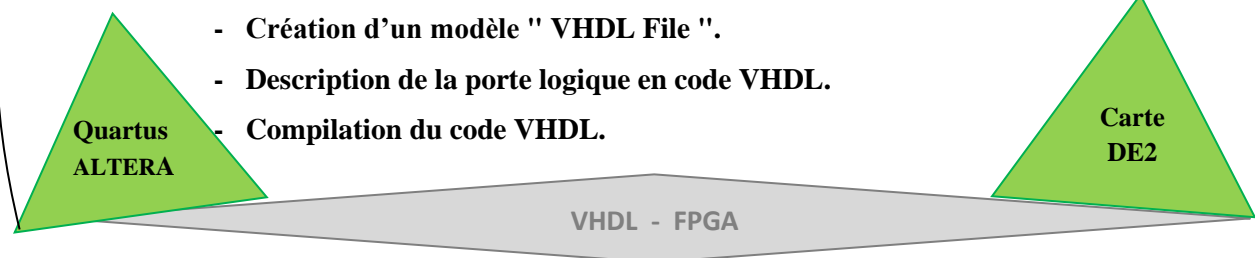
## Introduction au Quartus II &amp; à la carte DE2 - PARTIE 01

Ce TP est un tutoriel d'apprentissage pour vous initier au logiciel Quartus II 9.1 et à la carte de conception de type ALTERA DE2 (Cyclone II, EP2C35F672C6).

Altera Quartus II est un logiciel de conception de dispositifs logiques programmables.

Le TP présente les étapes suivantes :

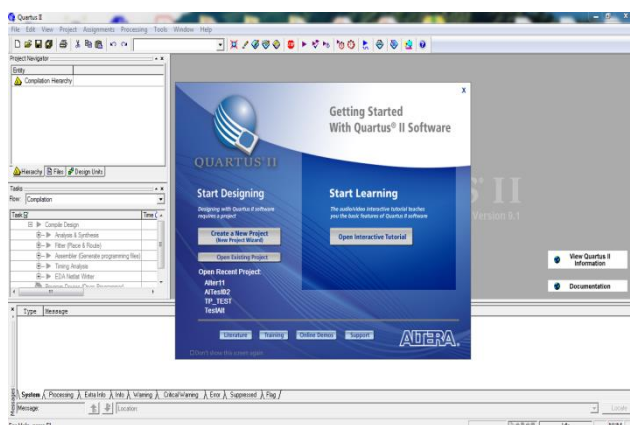
- Création d'un nouveau projet Quartus II.
- Création d'un modèle " VHDL File ".
- Description de la porte logique en code VHDL.
- Compilation du code VHDL.



## I. Créer un nouveau projet

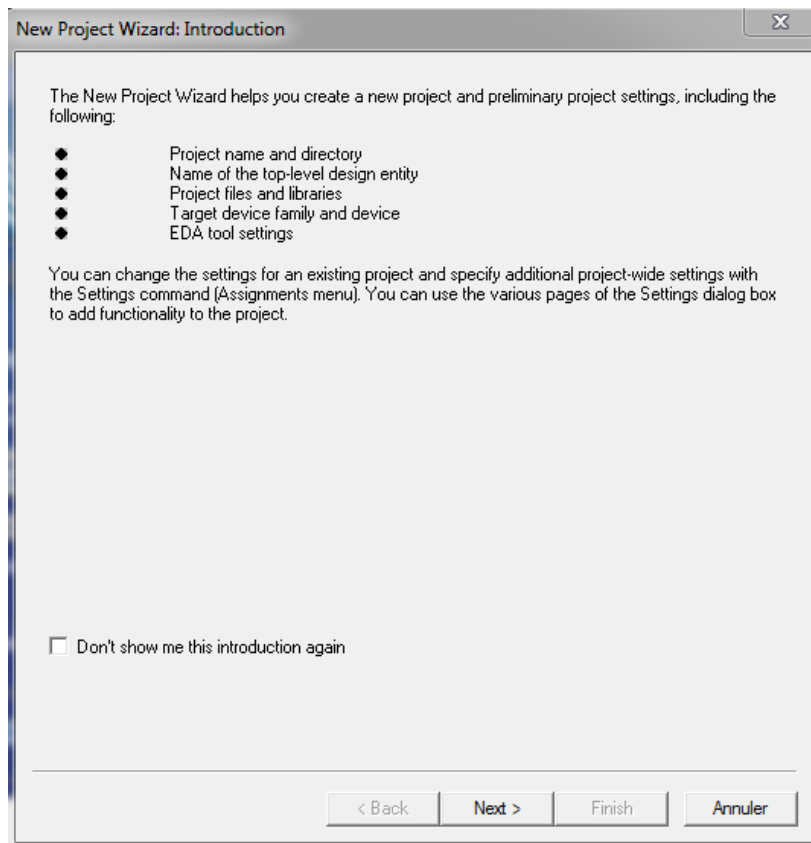
Lancez Quartus II. Double-click sur "Quartus II 9.1 Web Edition".

Vous obtenez un affichage similaire à la Fig.1.



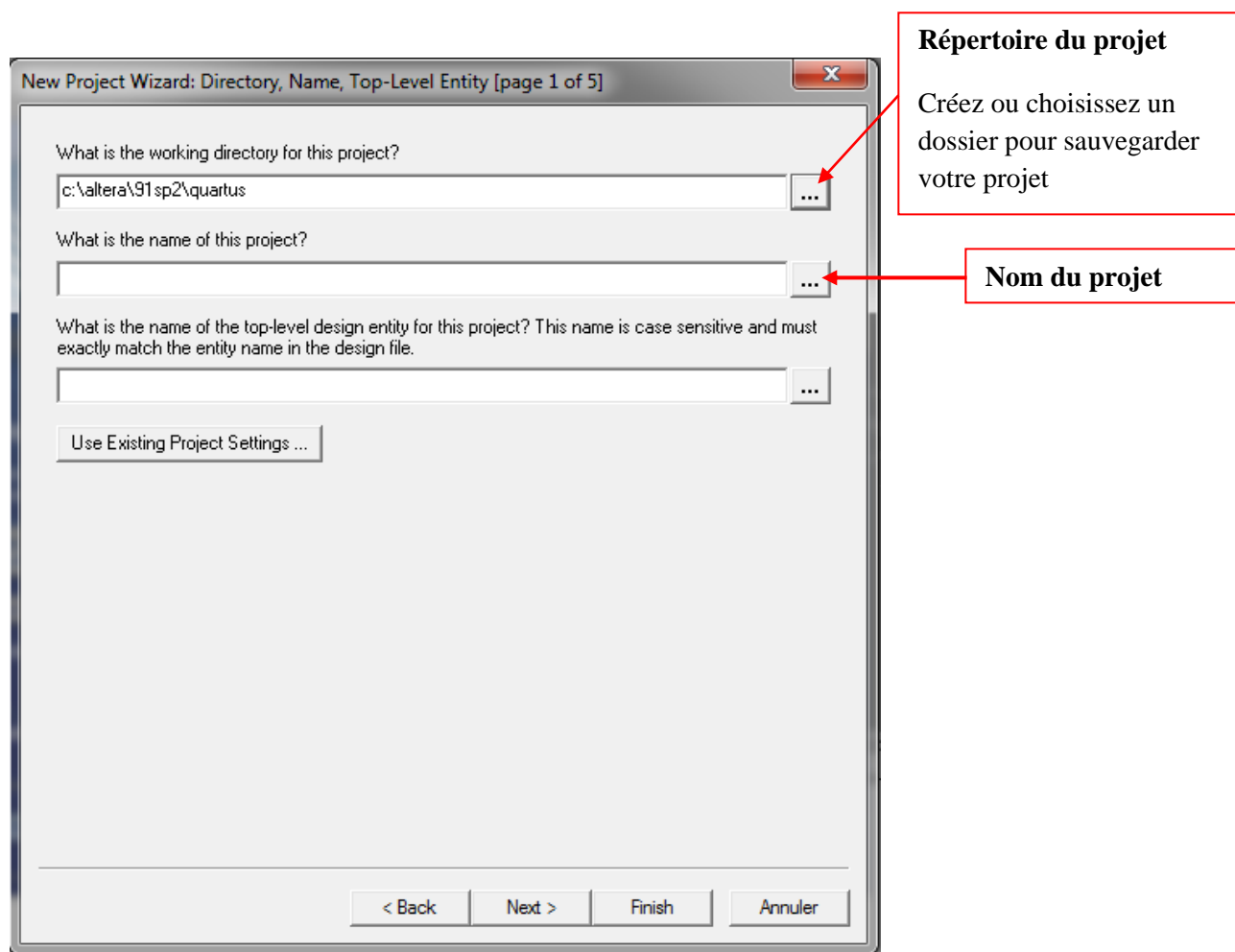
**Fig. 1.** Affichage principal de Altera Quartus II

1. Cliquez sur "Create a New Project (New Project Wizard)" ou sélectionnez **File -> New Project Wizard**.
2. Une fenêtre "New Project Wizard: Introduction" apparaît, cliquez sur **Next**.



**Fig. 2. New Project Wizard: Introduction.**

3. Une boîte de dialogue apparaîtra vous demandant le répertoire et le nom du projet (cf. **Fig. 3**).



**Fig. 3. Répertoire et nom du projet.**

Cliquez **Next**.

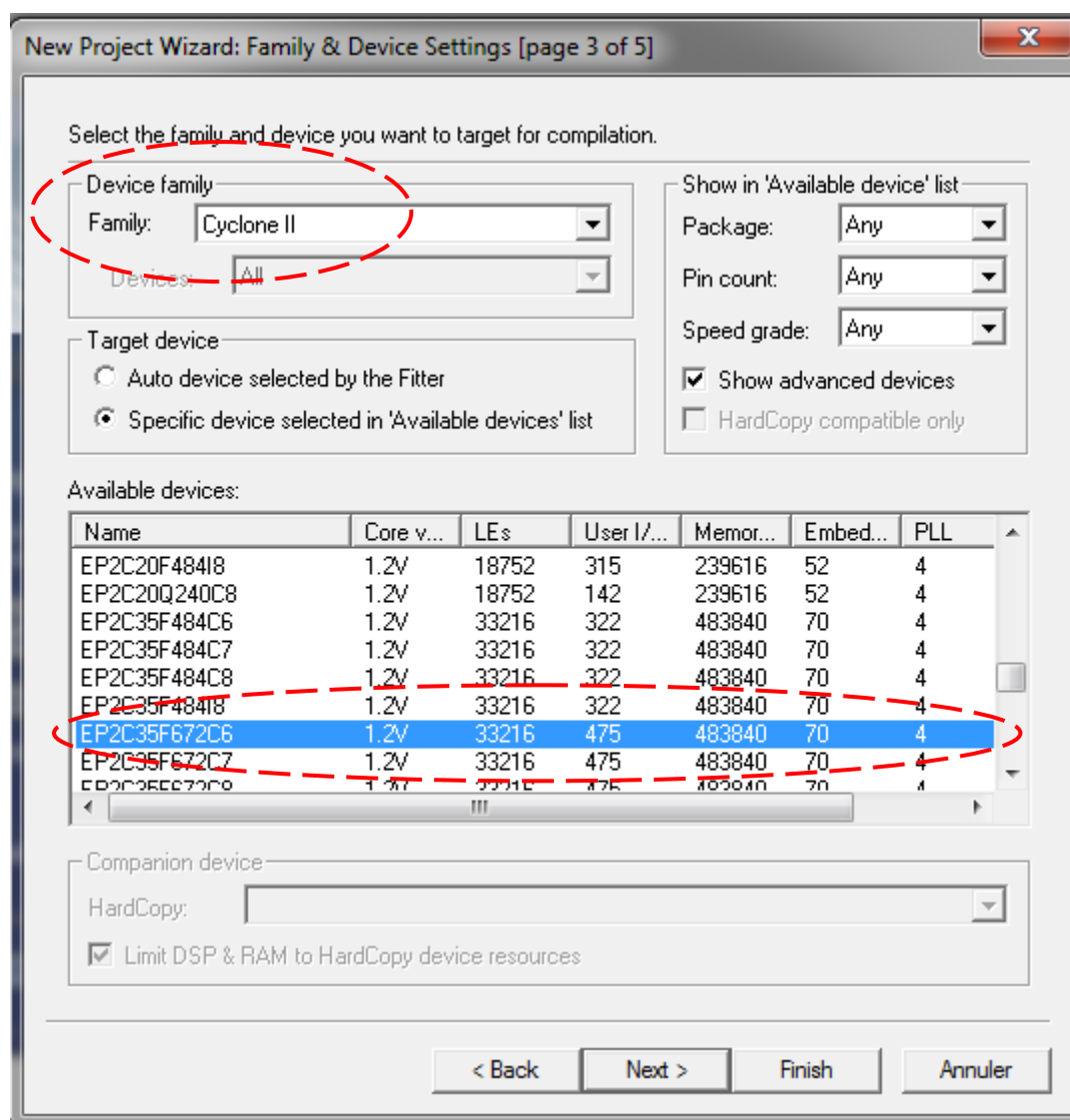
4. Comme nous n'avons aucun fichier à inclure dans ce projet, cliquez **Next**. Cela conduit aux paramètres de la carte DE2.

5. Choisissez **Cyclone II** comme cible **Device family**, et de la liste des "Available devices", choisissez **EP2C35F672C6** (surligné en bleu et entouré en cercle dans la **Fig. 5**) qui est la FPGA utilisée sur la carte DE2 d'Altera (cf. **Fig.4**).

Cliquez **Next**.



**Fig. 4. FPGA - Altera Cyclone II**

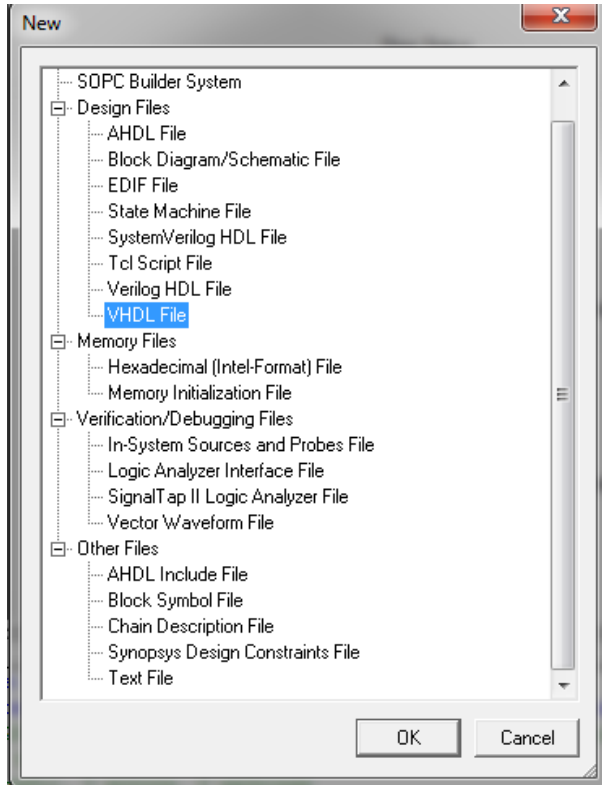


**Fig. 5. Réglage de " Device family et Available devices ".**

6. Puisque nous nous basons uniquement sur les outils Quartus, nous ne choisirons aucun autre outil dans la fenêtre **Paramètres des outils EDA** (New Project Wizard: EDA Tool Settings [page 4 of 5]). Cliquez **Next**.
5. Un résumé des paramètres choisis apparaîtra. Cliquez sur le bouton **Finish** pour revenir à la fenêtre Quartus II.

## II. Créer un modèle " VHDL File "

Sélectionnez **File ->New**, ensuite sélectionnez **VHDL File** et cliquez **OK**. Cela ouvre la fenêtre de l'éditeur de texte.



**Fig. 6. New ---VHDL File.**

## III. Décrire la porte logique en code VHDL

Ecrivez le code VHDL affiché sur la fenêtre ci-dessous:

Le code est une description d'une porte logique AND

## VHDL File


```

1  -- Partie Librairie
2  Library ieee;
3  Use ieee.std_logic_1164.all;
4
5  -- Partie Entitie
6  Entity TPN01 is
7  Port (
8      a,b : IN    std_logic;
9      s   : OUT   std_logic
10 );
11 End TPN01;
12
13 -- Partie Architecture
14 Architecture Description of TPN01 is
15 Begin
16
17     s<=a AND b; --Description de la porte AND
18
19 End Description;
20
21

```

Fig. 7. Description d'une porte AND.

## III. Compiler le code VHDL

Cliquez sur **Start Compilation**  ou bien allez sur **Processing**, ensuite cliquez **Start Compilation** pour compiler le projet.

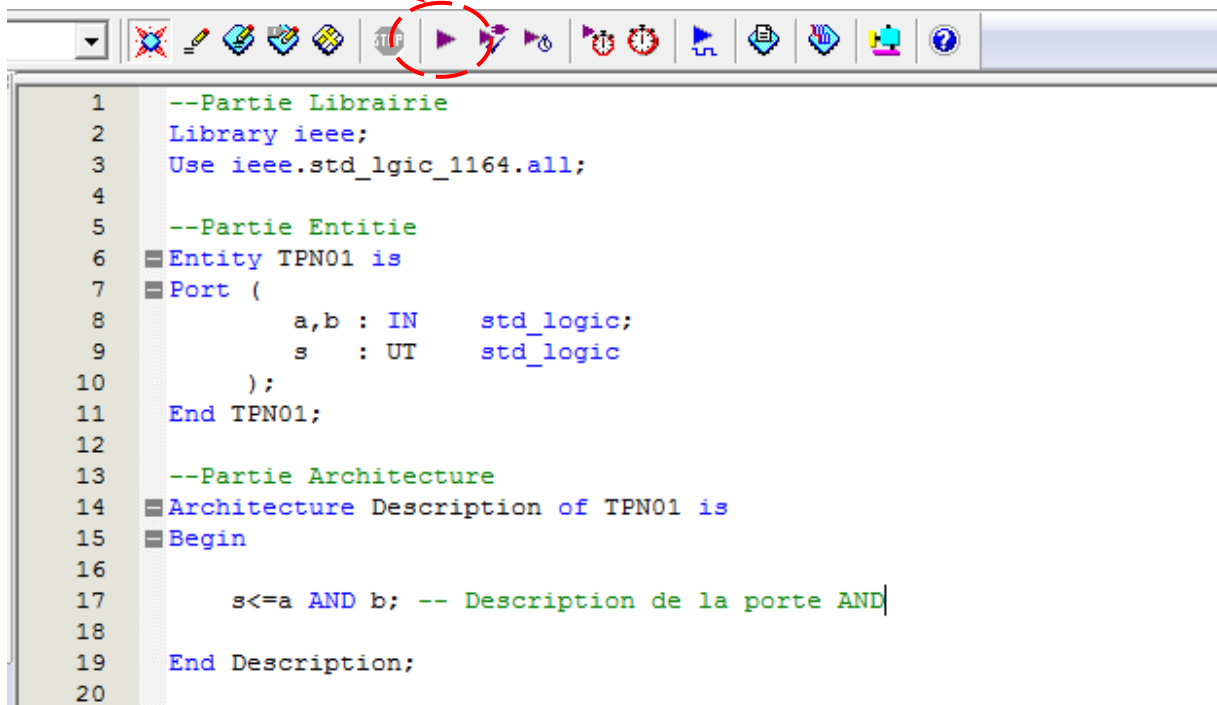


Fig. 8. Compilation du code VHDL

Une fois la compilation est terminée et vous n'avez pas un message d'erreur. Vous aurez une fenêtre qui s'affiche, comme celle au-dessous:

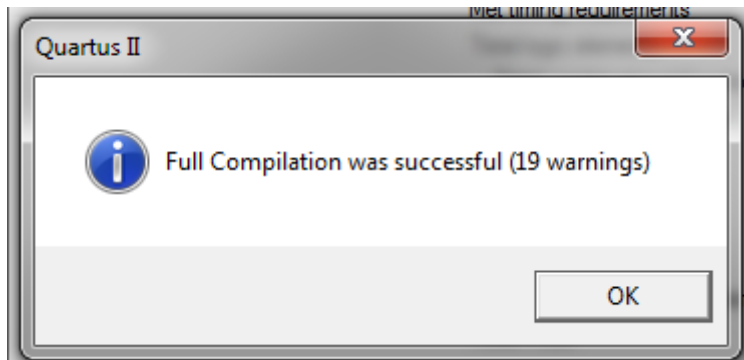


Fig. 9. Message après la fin de la compilation.

## La carte ALTERA DE2

