



Concours d'accès à la formation de troisième cycle

Le 17 octobre 2015

Intitulé de la formation : Signaux et Communications

Epreuve : Electronique numérique

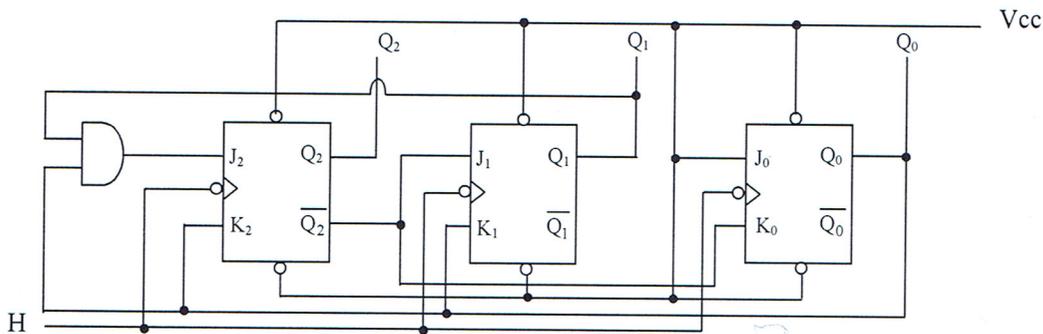
Durée : deux heures

Exercice N° 1 : (10 Pts)

- 1) Donner la table de vérité d'un additionneur complet 1 bit (les entrées A et B, la retenue d'entrée C_{in} , la somme S et la retenue de sortie C_{out}).
- 2) Donner l'expression algébrique simplifiée des fonctions logiques de sortie S et C_{out} en fonction des entrées A, B et C_{in} .
- 3) Donner le logigramme de cet additionneur en utilisant uniquement des portes NOT, des portes AND et des portes OR.
- 4) Donner le schéma d'un additionneur 4 bits en utilisant des additionneurs complets 1 bit chaînés (additionneur par propagation de retenue).

Exercice N°2 : (10 Pts)

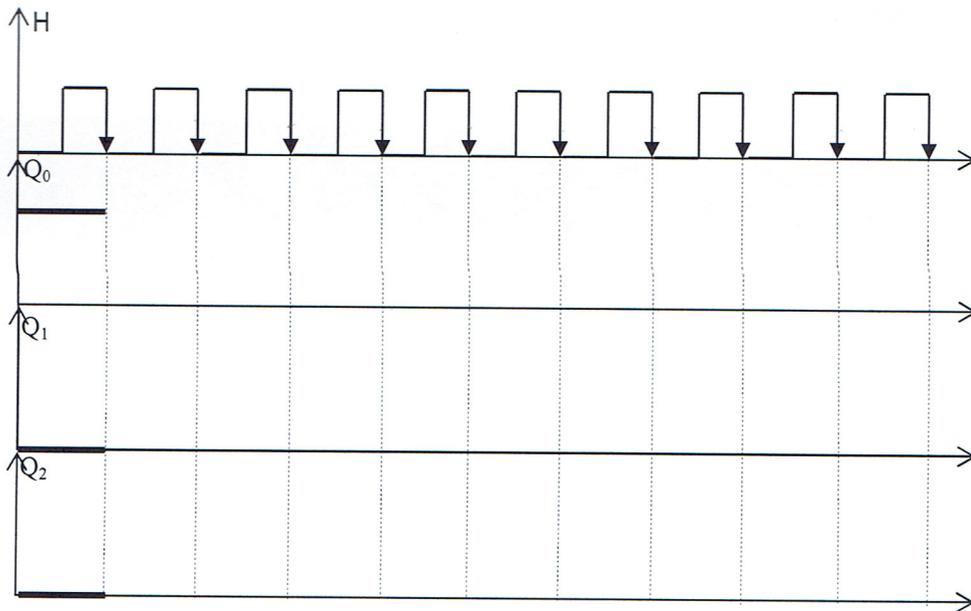
Soit le circuit de comptage suivant:



1. Identifier les éléments mémoires utilisés dans ce circuit.
2. Ce compteur est-il de type synchrone ou asynchrone? Justifier.
3. Donner les équations des entrées suivantes:

Bascule 0	$J_0 = \dots$	$K_0 = \dots$
Bascule 1	$J_1 = \dots$	$K_1 = \dots$
Bascule 2	$J_2 = \dots$	$K_2 = \dots$

4. Compléter les chronogrammes décrivant le fonctionnement du compteur, comme suit :



5. Déduire le cycle et le modulo de ce compteur.

Exercice N°3 (10Pts):

Le schéma de la figure 1 représente un système à base d'un microprocesseur à 8bits. Il comporte un bus d'adresse repéré par A_{12} (MSB) à A_0 (LSB). Le microprocesseur est relié à différents composants intégrés non représentés sur la figure, mais nommés : PROM, RAM1, RAM2, E/S1 et E/S2. Pour sélectionner l'un de ces composants, un circuit de décodage d'adresse à base d'un décodeur 138 et un décodeur 139 est utilisé.

1. Donner les expressions des entrées de sélection des décodeurs : G, G2A et G2B.
2. Trouver les expressions de CS PROM , CS RAM1, CS E/S1, et CS E/S2. On donne comme exemple l'expression de $CS\ RAM2 = \overline{A_{12}} \cdot A_{11} \cdot \overline{A_{10}} \cdot \overline{A_9}$.

Rappelle : par exemple, pour CI 138, $y_5 = \overline{C} \cdot \overline{B} \cdot A \cdot G1 \cdot \overline{G2A} \cdot \overline{G2B}$
pour CI 139, $y_2 = \overline{B} \cdot \overline{A} \cdot \overline{G}$

3. Compléter le tableau ci-dessous en précisant les lignes d'adresse qui participent à la sélection de chaque composant et leurs états logiques.

Circuit	Les lignes d'adresse qui participent à la sélection du circuit	Etat logique de ces lignes d'adresse
PROM
RAM1
RAM2
E/S1
E/S2

4. Donner pour chacun des composants leurs plages d'adresse ([adresse de début, adresse de fin]).
Exemple : Les plages d'adresse du PROM sont : [0000, 01FF];[0400, 05FF] et [0600, 07FF].

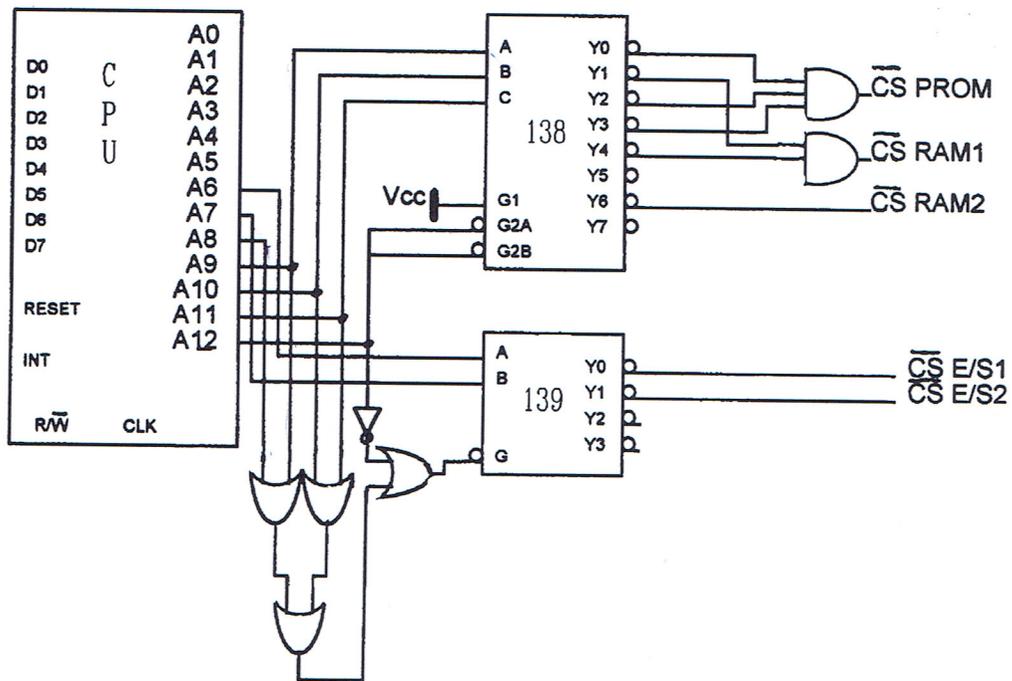


Figure 01