

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
Université Mohammed Seddik Benyahia - Jijel
Faculté des Science et de la Technologie
Département d'Electronique



Support de cours

CONCEPTION DE CIRCUITS INTEGRES NUMERIQUES

Par :

Dr. Riad REMMOUCHE

Cours destiné aux étudiants Master 2 Microélectronique.

Cours en ligne accessible à l'adresse :

<http://elearning.univ-jijel.dz/elearning/course/index.php?categoryid=12>

Sommaire

Chapitre I Introduction aux semi-conducteurs

- 1.1. Introduction
- 1.2. Évolution des circuits intégrés
- 1.3. Semi-conducteurs
 - 1.3.1. Semi-conducteur intrinsèque
 - 1.3.2.- Semi-conducteur de type N
 - 1.3.3. Semi-conducteur de type P
 - 1.3.4. Jonction PN – Diode à jonction
 - 1.3.5. Capacité MOS
 - 1.3.6. Transistor MOS

Chapitre II Logique combinatoire et logique séquentielle

- 2.1. Introduction
- 2.2. Logique combinatoire
- 2.3. Logique séquentielle

Chapitre III L'inverseur de base en technologie CMOS

- 3.1 Introduction
- 3.2. Points caractéristiques
 - Point α
 - Point β
 - Point δ
- 3.3. Niveaux logiques

Chapitre IV Fabrication de l'inverseur CMOS

- 4.1. Introduction
- 4.2. Fabrication des tranches de Silicium
- 4.3. Etape 1 : Réalisation du caisson N
 - a. Masquage de la résine
 - b. Développement de la résine
 - c. Gravure de la Silice
 - d. Implantation ionique de Phosphore
- 4.4. Etape 2 : Préparation des zones actives
 - a. Dépôt et gravure du nitrure de Silicium
 - b. Croissance de l'oxyde de champ

- 4.5. Etape 3 : Réalisation des grilles
 - a. Croissance de l'oxyde mince
 - b. Dépôt et gravure du polysilicium
 - c. Gravure de l'oxyde mince
- 4.6. Etape 4 : Dopage des zones actives
 - a. Masquage et développement de la résine pour les zones P⁺
 - b. Réalisation des zones P⁺
 - c. Réalisation des zones N⁺
- 4.7. Etape 5 : Réalisation des via de contact
 - a. Dépôt de Silice
 - b. Planéarisation
 - c. Gravure de la Silice
- 4.8. Etape 6 : Réalisation des connexions en métal 1
 - a. Dépôt du métal 1
 - b. Gravure du métal 1
- 4.9. Etape 7 : Réalisation des via métal 1 – métal 2
- 4.10. Etape 8 : Réalisation des contacts en métal 2
- 4.11. Finition du circuit
 - a. Réalisation des couches d'interconnexions métalliques suivantes
 - b. Passivation du circuit
 - c. Réalisation des plots de connexion
 - d. Tests des circuits
 - e. Découpage de la tranche
 - f. Montage en boîtier et marquage des circuits

Chapitre V

Circuits digitaux

- 5.1. Introduction
- 5.2. Inverseur CMOS de base
- 5.3. CMOS NAND à deux entrées
- 5.4. Fan In
- 5.5. L'antenne Yagi
- 5.6. Portes non inverseuses
 - a. Buffer
 - b. Porte AND à deux entrées
 - c. Porte AOI (And Or Invert)
 - d. Porte OAI (Or And Invert)
- 5.7. Fan Out

Chapitre VI Applications

6.1. Exemple 1

6.2. Exemple 2

6.3. Exemple 3

6.4. Exemple 4

7. Références bibliographiques

Chapitre I

Introduction aux semi-conducteurs

1.1. Introduction

Depuis une cinquantaine d'années, l'évolution de la complexité des circuits intégrés double tous les dix-huit mois (loi de Moore). Cette évolution exponentielle a permis de réaliser, de manière monolithique, des organes électroniques de plus en plus complexes.

Le principal moteur de cette évolution réside dans la diminution régulière de la taille des motifs de dessin des circuits intégrés. Partis de quelques dizaines de microns dans les années 1960, ceux-ci sont maintenant inférieurs à 10 nm, et tout montre que cette évolution n'est pas terminée.

Les experts de l'industrie microélectronique, réunis au sein d'une organisation appelée SIA (*Semiconductor Industry Association*), publient régulièrement des prédictions (appelées ITRS pour

International Technology Roadmap for Semiconductors) qui s'avèrent systématiquement sous-évaluées pour un futur qui dépasse trois ans, c'est-à-dire l'horizon de leurs recherches.

Year of Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	
DRAM ½ Pitch (nm) (contacted)	36	32	28	25	23	20,0	17,9	15,9	14,2	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	38	32	27	24	21	18,9	16,9	15,0	13,4	
MPU High-Performance Physical Gate Length (GLph) (nm)[1]	24	22	20	18	17	15,3	14,0	12,8	11,7	
Lithography Modeling										
Exposure	Simulation of EUV incl. optical flare; models bridging OPC and predictive feature scale simulation [1]		Innovative 193 nm immersion multiple patterning; NGL models and modeling of materials and components (EUV, maskless lithographic processes, imprint, Complementary Lithography: Challenges and process interactions; EUV multilayer defects and repair							
Resist models	Predictive chemically amplified resist models and methods to easily calibrate parameters. Multiple exposure, EUV resists, and lithography on topography	Ebeam resists; finite polymer-size / molecular resist effects; line collapsing; coupling with etch models		Meso-scale resist models with finite molecule effects; resist flare; defects in Direct Self Assembling			Models for non-conventional photoresists and coupling with etch models			
Large area lithography simulation	TCAD-based inverse lithography modeling for small areas		TCAD-based inverse lithography modeling for larger areas							
Front End Process Modeling										
Gate stack*	♦ Phenomenological models for material properties, halogen/nitrogen/oxygen diffusion and electrical behavior of prioritized alternative dielectrics and metal gates		Predictive physical models for material properties, halogen/nitrogen/oxygen diffusion and electrical behavior of prioritized alternative dielectrics (e.g. Hf-based) and metal gates (interfaces, defects, impurities, stress, work function and band gap offset, mobility, leakage)							
Continuum diffusion and activation models	Silicidation for advanced annealing steps; extension of diffusion/(de)activation models below 800 C, epitaxy		Predictive dopant activation and diffusion: Novel steps like anneal after plasma doping; sub-millisecond anneal; low temperature anneal; novel materials like III/V-on-Si				Diffusion and activation in alternative materials			
Atomistic modeling for activation and diffusion	Calibration for Si and SiGe, and further speedup of Kinetic Monte-Carlo Dynamics. Inclusion of stress	Extension to other channel / gate stack materials		Further speedup for 2D/ 3D devices incl. statistics			Diffusion and activation in alternative materials (other than Si)			
Modeling of interface effects	More physical models for dopant segregation and defect boundary conditions	Physical models (incl. atomistic) for thin multilayers, incl. InGaAs on Ge on Si and silicidation		Inclusion of non-abrupt interfaces		Handling of low dimensional structures (e.g. Si nanowires)				
Topography and Material Modeling [2]										
Etching / deposition /epitaxy / CMP	Integration of feature-scale simulation with equipment (plasma) models; electrical properties and stress; layout dependence; process integration		Including data beyond topography to also include surface and sub-surface material property (incl. microstructure) prediction, full molecular dynamics (or atomistic) feature scale models							
Equipment impact on process results including material properties *	♦ Thermodynamic and electronic properties depending on deposition conditions, extracted from materials modeling as input to TCAD simulators		Calculation of mechanical properties; process impact on intrinsic material behavior, integrity and electrical performance under strain; subsequent temperature impact on performance							

Novel material modeling	Extension of methods for ab-initio materials modeling		Modeling-assisted synthesis of materials and process recipes; full process integration models. Integrated equipment scale modeling extended to include material information from the atomic scale		
<i>Numerical Device Modeling [3]</i>					
Transport modeling for crystalline and polycryst. materials [4]	Calibration of orientation-dependent mobility models; mobility models for complex high-k gate stacks;	Mobility models consistent with QM confinement in thin films (esp. SOI)	Efficient inclusion of quasi-ballistic transport; extension to (multilayer) heterostructures. Nonlocal mobility models accounting for individual dopants and traps		
Transport models for non-crystalline materials*	◆ Consistent treatment of transport with localized and extended states		Extension to carriers other than electrons and holes, specified by ERD		
Additional requirements for non-classical CMOS *	◆ Device models to include additional new channel materials and interfaces consistently	Efficient quantum-mechanical simulation of 3D device structures, including thin films.	Nanoscale simulation capability including accurate atomistic and quantum effects		Nanoscale simulation capability in silicon including accurate atomistic and quantum effects
Beyond CMOS*	◆ Material properties and reliability modeling of novel memory and CMOS devices		Modeling of nanowires, carbon-based nanoelectronics and including quantum transport and influence of interface roughness, defects and impurities at contacts and edges. Modeling of redox resistive memories program and read operation		
Random device variability	Efficient inclusion of dopant fluctuations.	Depending on device architecture (FDSOI, FinFET, ...): Fluctuations of grain structure, influencing electrostatics and transport, including single dopants and single traps		Fluctuations of other local properties influencing electrostatics and transport	
Reliability and noise modeling *	◆ HF, 1/f and RTS noise modeling. Dielectric degradation and trap evolution during operation for conventional and new gate stacks		Degradation mechanisms for beyond CMOS logic and memory devices		
<i>Circuit Component Modeling [5]</i>					
Active devices	Circuit models for bulk and SOI CMOS devices including influences of layout, process variability, random fluctuations and self heating	Multigate CMOS: Standardize SOI and multigate circuit models [6]	Influence of layout, process variability, random fluctuations, quasi-ballistic effects and self-heating for multigate CMOS models	Circuits models for non-Si channels or nanoscale devices	
Interconnects and integrated passives*	◆ Include em-coupling, reliability and variability		Include self-healing	Mixed electrical/optical simulation	
Process and materials impact on electrical performance of interconnects *	◆ Models that relate material properties to electron transport		Models that predict paths to material property repair (e.g. low-k repair, capacitance repair)		
Heterogeneous integration including thinned wafers	Thermal coupling in the CAD flow using compact models	Robust and rapid construction of behavioural models of subcircuits	Include EM and thermal coupling between building blocks		
<i>Package Modeling</i>					
Electrical modeling	Unified RLC extraction and multiscale modeling for 3D package	Full-wave analysis	Mixed electrical/optical analysis		
Thermal-mechanical modeling *	◆ Prediction and modeling of failure mechanisms based on FEM		Multiscale simulation of failure generation, propagation and impacts		
Material properties *	◆ Improved material parameters / models interfaces	Extend for novel materials including 3D integration / TSV			
<i>General requirements on tools</i>					
Meshing *	◆ Robust, reliable, efficient and user-friendly grid generation		□ □		
Algorithms	Efficient atomistic/quantum methods		Ab-initio or molecular dynamics based topography simulations		
Tool interoperability*	◆ Open documented file formats, exchangeability of data between different tools [7]	Database exchangeability between different tools	Leverage atomistic simulations to build efficient and predictive continuum models.		

Tableau 1 : Extrait de l'ITRS 2011 présentant les objectifs dimensionnels de plusieurs architectures CMOS, les modèles numériques et les logiciels de simulation des procédés de fabrication de transistors.

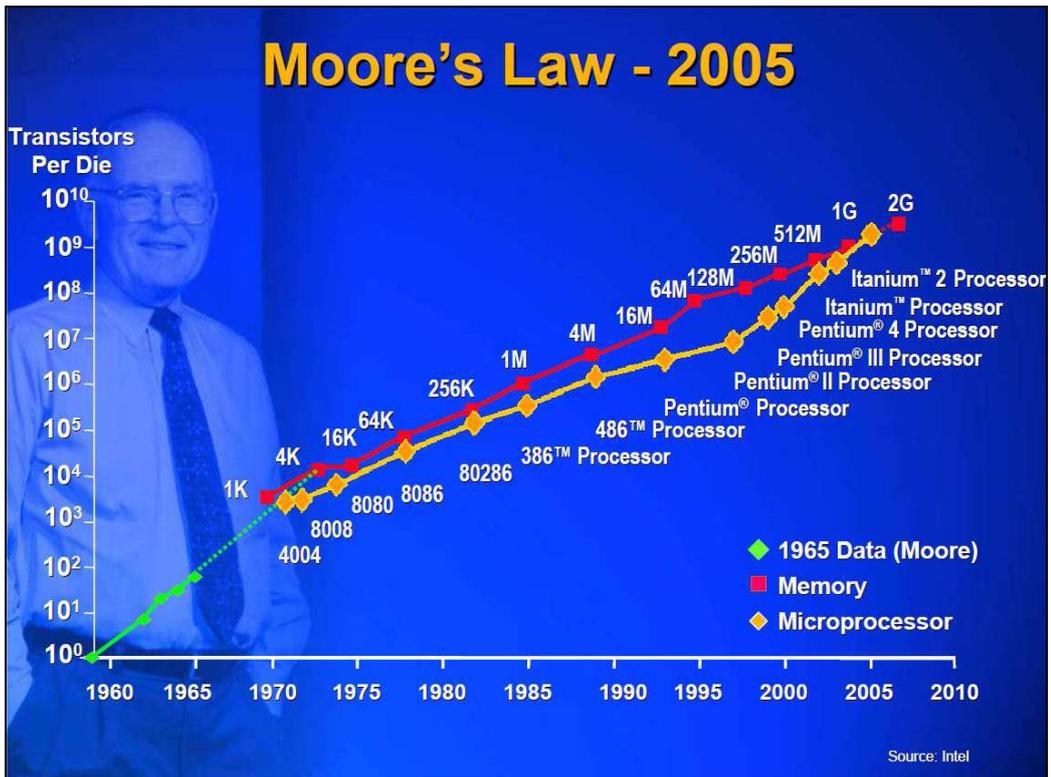


Figure 2 : Illustration de la loi de Moore

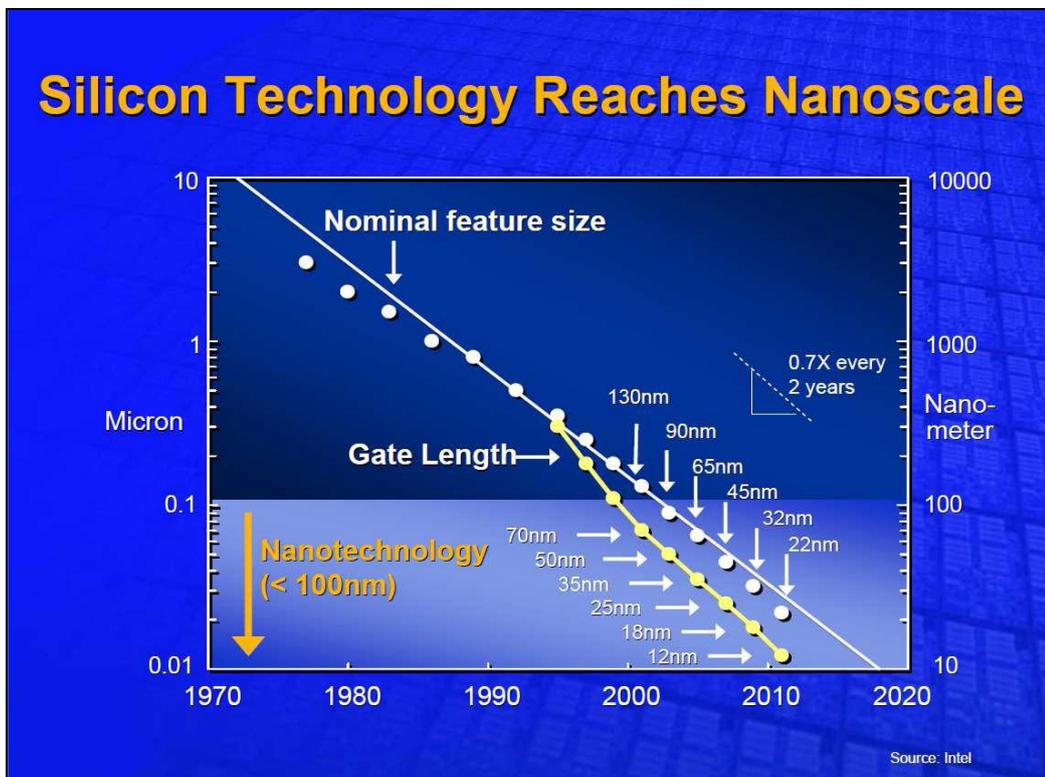


Figure 3 : Evolution de la technologie silicium

1.2. Évolution des circuits intégrés

L'évolution des circuits intégrés est certainement l'aventure technologique la plus fabuleuse de l'histoire humaine. L'ampleur des progrès réalisés dépasse de loin tout ce qui a été fait dans les autres domaines, y compris l'aviation et le spatial.

Les circuits intégrés utilisent deux types de composants actifs, appelés «transistors» :

– Les transistors à *effet de champ*, proposés par J.E. Lilienfeld en 1928, mais pratiquement réalisés par M.M. Atalla et D. Kahng fin 1959.

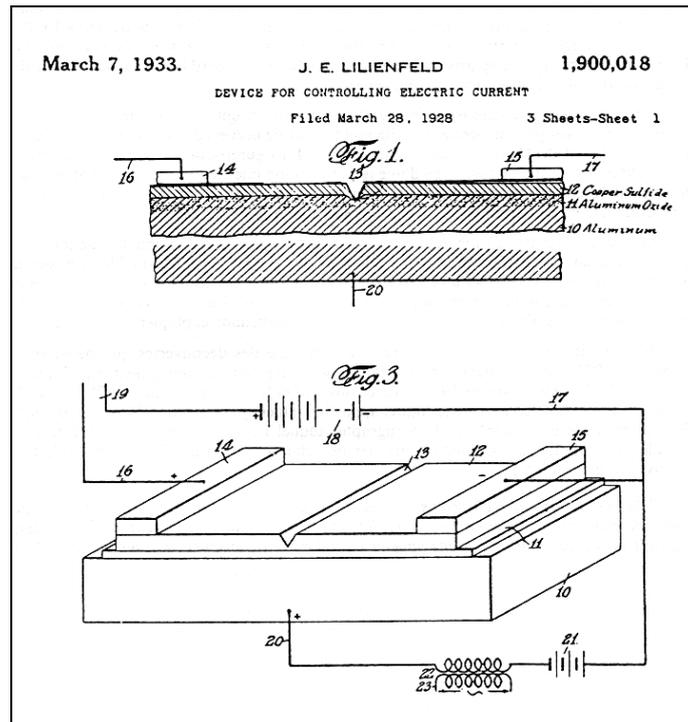


Figure 4 : Brevet déposé par Lilienfeld en 1933.

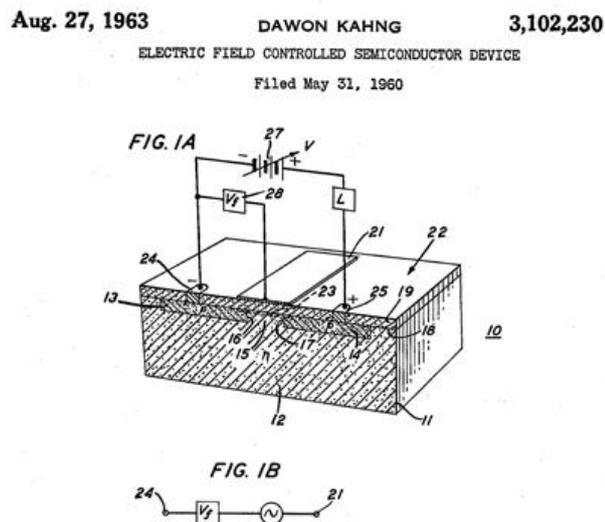


Figure 5 : le transistor MOSFET d'Atalla réalisé en 1959.

Ceux-ci ont été appelés FET puis MOS-FET, puis MOS. Ils ont successivement été réalisés avec des grilles métalliques (technologie PMOS grille alu) puis avec des grilles en polysilicium (technologie nMOS) puis sous forme complémentaire (technologie CMOS).

– Les transistors dits « bipolaires », découverts sous une première forme (transistors à pointes) par J. Bardeen et W.H. Brattain aux laboratoires Bell le 23 décembre 1947, puis sous leur forme définitive (transistors à jonctions) en 1948 par W. Shockley au terme d'une étude théorique.

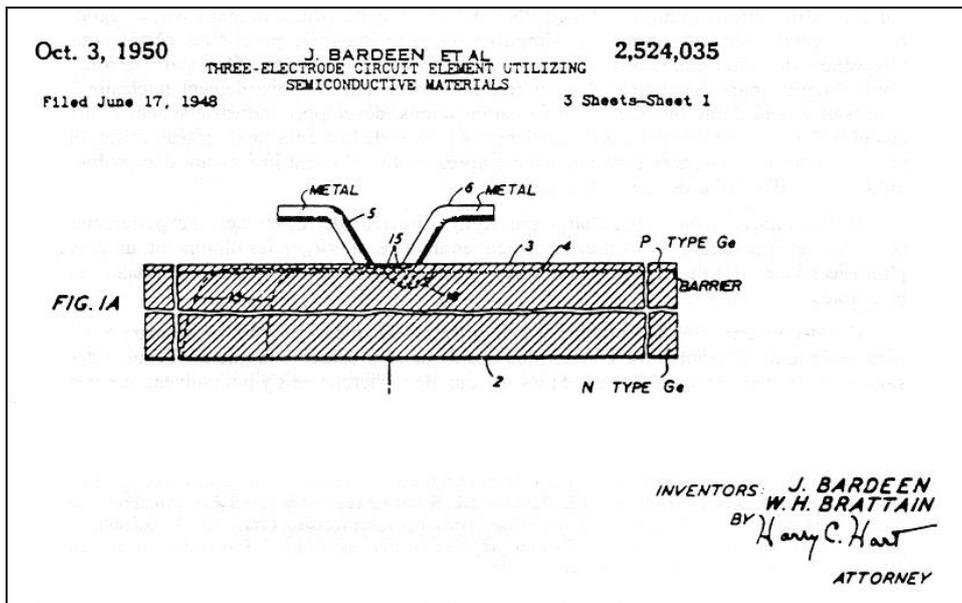


Figure 6 : Brevet déposé par Bardeen et Brattain en 1950.

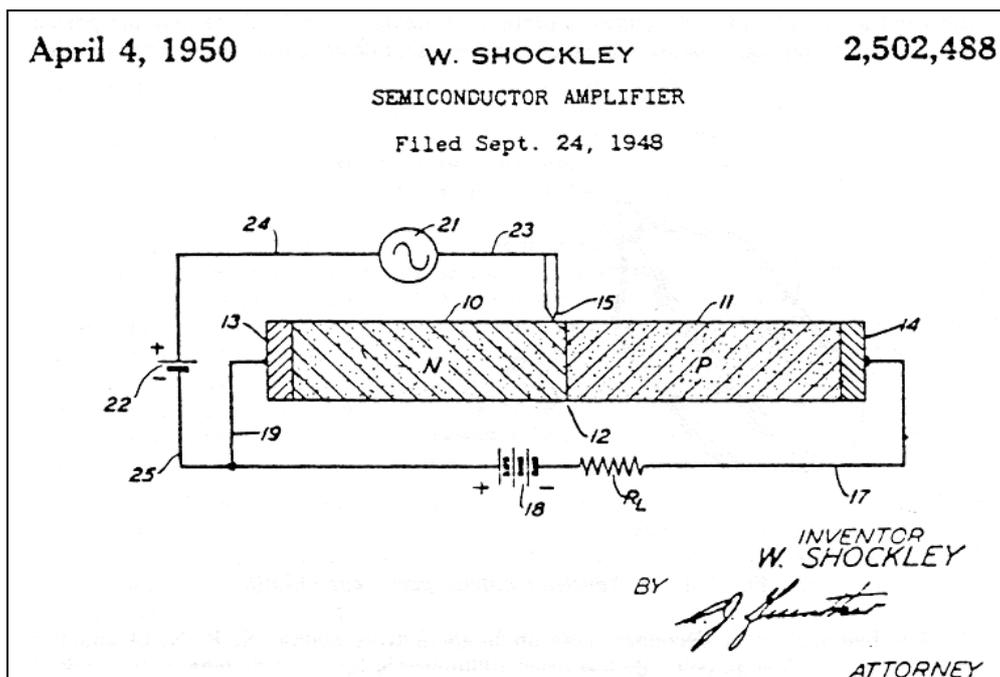


Figure 7 : Brevet déposé par Shockley en 1950.

Contrairement aux transistors à effet de champ, dont le débit est commandé par une tension, les transistors bipolaires se comportent comme des amplificateurs de courant.

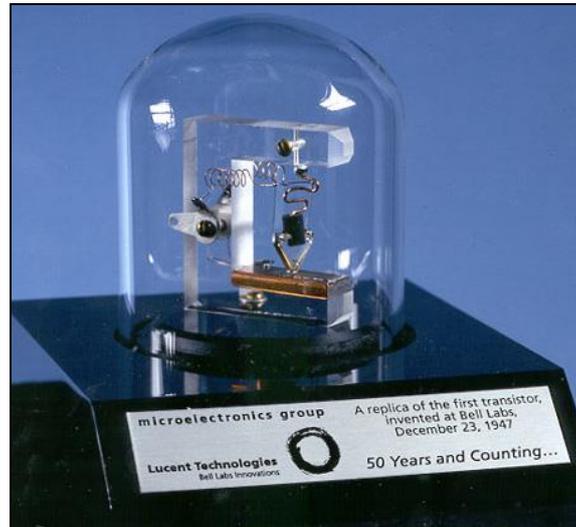


Figure 8 : Réplique du premier transistor bipolaire en germanium

La plus grande facilité de fabrication et d'utilisation des transistors à effet de champ leur a permis de devenir les composants fondamentaux des circuits complexes à partir de 1975. Les premiers circuits intégrés furent réalisés, quasi simultanément par Jack Kilby chez Texas Instrument (le 12 septembre 1958) et par Robert Noyce chez Fairchild. Après un combat juridique, la paternité de cette première réalisation fut attribuée à Jack Kilby.

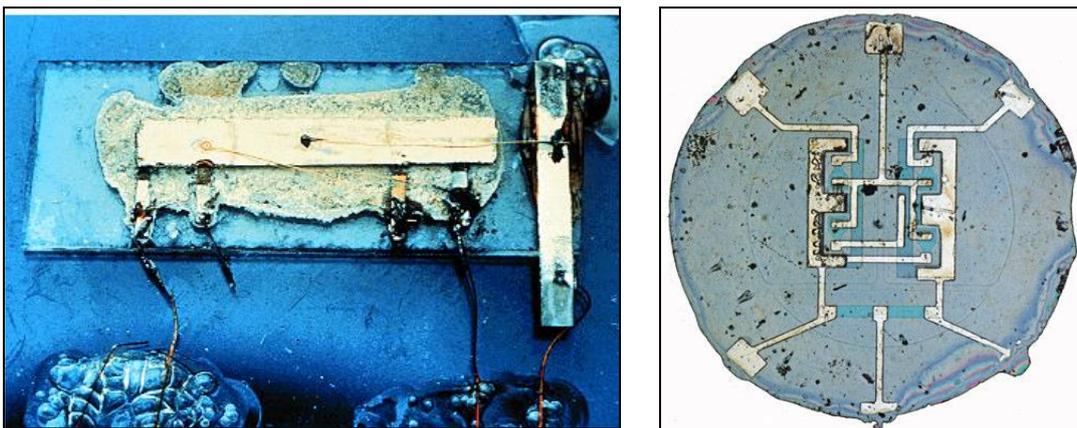


Figure 9 : Premier circuit intégré assemblé grâce au procédé planar.

Les premiers circuits intégrés étaient réalisés en technologie bipolaire. Ils comportaient quelques dizaines de transistors. Cette technologie fut principalement utilisée pour créer les premières familles de composants logiques. En particulier, la famille TTL (pour *Transistor-Transistor Logic*) ou 74xx qui a perduré jusqu'à maintenant transposée en technologie MOS sous la

forme de composants discrets et de cellules de circuits intégrés complexes. Vers 1970 les circuits intégrés complexes en technologie PMOS grille alu commencèrent à apparaître. Leur lenteur limitait leur domaine d'application à des mémoires puis aux premiers microprocesseurs. Ted Hoff conçut le premier microprocesseur commercial (Intel 4004) en 1972.

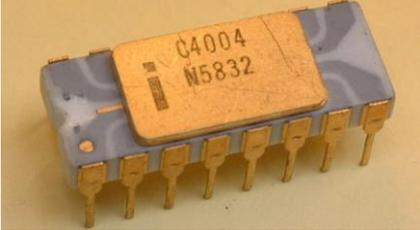
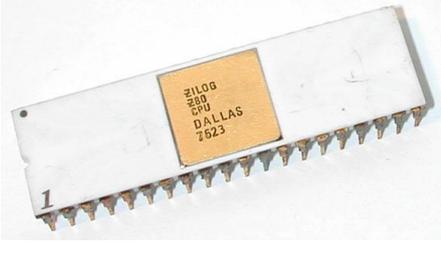
		
Intel 4004	Intel 8080	Motorola 68000
		
Zilog Z80	Intel core i7	

Figure 10 : Evolution des microprocesseurs.

L'arrivée de la technologie nMOS vers 1974 permit la mise sur le marché des premiers microprocesseurs de grande diffusion 8 bits puis 16 bits (Intel 8080, 8085, 8086 ; Motorola 6800, 6809, 68000 ; Zilog Z80, Z8000 ; MOS 6502), et de leurs composants associés. Pour lutter contre l'augmentation de la dissipation thermique, la technologie nMOS fut remplacée par la CMOS au début des années 1980, ce qui permit de poursuivre l'aventure jusqu'aux microprocesseurs géants actuels regroupant plusieurs centaines de millions de transistors et fonctionnant à des fréquences de plusieurs gigahertz.

La saga des circuits intégrés se heurte actuellement à une nouvelle épreuve : la dissipation des circuits les plus puissants devient prohibitive. Si l'on recherche la performance maximale, le résultat se solde toujours par une augmentation de la consommation. Par unité de surface, cette dissipation a dépassé en 1996 celle des plaques de cuisson et elle se dirigeait résolument vers celle du coeur des centrales nucléaires.

1.3. Semi-conducteurs

Les *semi-conducteurs* sont des matériaux qui se situent entre les métaux et les isolants dans le tableau de Mendeleïev. Ils sont caractérisés par le fait que leur couche électronique superficielle contient quatre électrons (ils sont de valence 4). Les principaux semi-conducteurs sont le germanium et le silicium.

Le silicium est le principal constituant du sable. Il fut isolé en 1823 par Jöns Jacob Berzelius. Sa densité est de 2,33, son point de fusion de 1 410 °C. Comme le diamant, le silicium cristallise suivant un réseau cubique. Un cristal de silicium contient $5 \cdot 10^{22}$ atomes au cm^3 .

1.3.1. Semi-conducteur intrinsèque

Les semi-conducteurs très purs (ayant une proportion d'impuretés inférieure à 10^{-12}) sont appelés *intrinsèques*. Ils sont naturellement isolants car tous les électrons de leur couche périphérique sont engagés dans les liaisons chimiques du cristal. Un très faible courant peut néanmoins les traverser car l'agitation thermique libère quelques électrons (dans une proportion de $3 \cdot 10^{-13}$ à température ambiante) qui créent un courant. Les places libérées par les électrons libérés (appelés *trous*) se comportent comme des charges positives mobiles. Les trous se déplacent par des mouvements d'électrons en sens opposé. Le déplacement des trous participe aussi au courant électrique. Contrairement aux conducteurs, le courant qui traverse les semi-conducteurs croît avec la température qui libère d'autant plus d'électrons qu'elle augmente. On appelle *mobilité* μ , d'un électron ou d'un trou, la vitesse moyenne qu'il acquiert sous l'effet d'un champ électrique.

$$\mu = \frac{v_{m/s}}{E_{V/m}} \dots [m^2/V.s]$$

1.3.2. Semi-conducteur de type N

L'adjonction d'une faible proportion (10^{-7} à 10^{-4}) de matériaux de valence 5 (arsenic ou phosphore) appelé *dopant*, dans un cristal semi-conducteur fait qu'un certain nombre de ses atomes sont remplacés par des atomes du dopant (figure 11). Ceux-ci engagent quatre de leurs électrons périphériques dans les liaisons chimiques du cristal tandis que leur cinquième électron se retrouve libéré, laissant l'atome de dopant chargé positivement, donc *ionisé*. Ces électrons mobiles rendent le matériau d'autant plus conducteur qu'il contient plus de dopant. La mobilité du silicium dopé N dépend donc du taux de concentration du dopant.

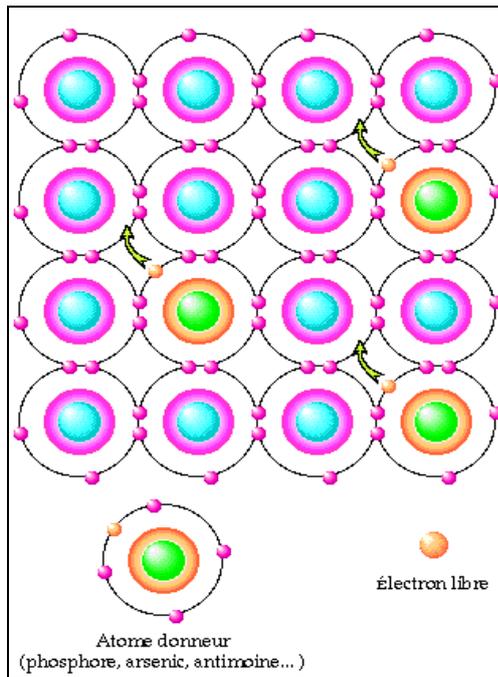


Figure 11 : Cristal de Silicium de type N.

1.3.3. Semi-conducteur de type P

Si le matériaux dopant est de valence 3 (bore dans une proportion de 10^{-19} à 10^{-4} , ses atomes vont s'engager dans trois liaisons chimiques du cristal (figure 12). La quatrième place est inoccupée. Celle-ci peut être occupée par un électron libéré par l'agitation thermique qui crée un trou qui se comporte comme une charge positive mobile. L'atome de dopant devient alors un ion négatif. Les trous mobiles rendent le matériau d'autant plus conducteur qu'il contient plus de dopant.

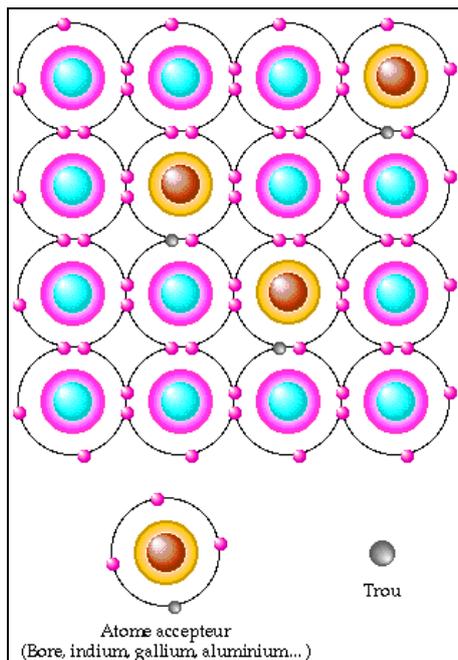


Figure 12 : Cristal de Silicium de type P.

1.3.4. Jonction PN – Diode à jonction

La coexistence, au sein d'un même cristal d'une zone de type N et d'une autre de type P produit une *jonction* à leur interface (figure 13). Cette jonction produit un effet redresseur. En effet, l'établissement d'une différence de polarisation dite *directe* entre ces deux zones (+ sur la zone de type P et – sur celle de type N) repousse leurs charges mobiles respectives vers la jonction où elles s'annihilent provoquant leur réalimentation. Si la polarité de cette tension est inversée, chaque zone dopée va attirer ses charges mobiles qui vont s'écarter de la jonction, provoquant une zone vide de charges (dite *déplétée*), donc isolante.

Au repos, une certaine quantité d'électrons et de trous s'annihilent au travers de la jonction provoquant une polarisation spontanée positive de la zone de type N et négative de celle de type P. Cette polarisation repousse les charges mobiles de la jonction bloquant l'annihilation des charges. Pour qu'un courant puisse circuler, une polarisation directe de la diode doit contrecarrer cette polarisation spontanée. Cette tension, de 0,7 v pour le silicium, est appelée le seuil de la diode. Elle varie avec la température et les caractéristiques des matériaux.

La zone déplétée qui apparaît au niveau de la jonction lorsque la diode est bloquée ou polarisée à une tension directe inférieure à son seuil de diode, provoque l'apparition d'une capacité au niveau de la jonction. La valeur de cette capacité peut être assez importante. Elle dépend de la tension de polarisation.

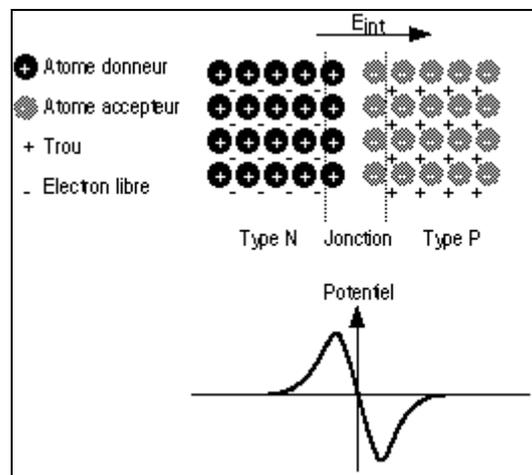


Figure 13 : Jonction PN à l'équilibre.

1.3.5. Capacité MOS

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. Ainsi, on appelle «capacité MIS» la superposition de trois couches de matériaux : le métal ou polysilicium dégénéré (appelé grille), l'isolant (SiO_2 , HfO_2 , Ta_2O_5 , Si_3N_4 ...), et le semiconducteur (Si, Ge...) de type N ou de type P (appelé bulk ou substrat). La dénomination capacité MOS (pour Métal-Oxide-Semiconducteur) résulte de la nature de

l'isolant qui est alors un oxyde.

La capacité d'une structure MOS est équivalente à la mise en série de la capacité de l'oxyde avec la somme des capacités présentes dans le silicium. Dans les technologies actuelles, la grille n'est plus un métal mais du poly-silicium dont le fort dopage ($>10^{20}\text{cm}^{-3}$) lui confère les mêmes propriétés qu'un métal.

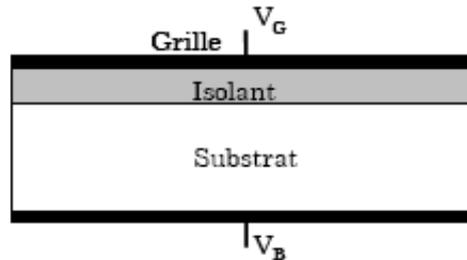


Figure 14 : Schéma en coupe d'une structure MOS.

Au repos, le substrat contient des charges négatives fixes (les atomes du semi-conducteur ionisés) et des charges positives mobiles (les trous).

Supposons que le substrat soit maintenu à un potentiel fixe (0 v) et que l'électrode métallique soit portée à un potentiel négatif. Les trous vont être attirés et vont venir s'accumuler sous l'électrode métallique renforçant localement la densité des charges mobiles, d'où le type P du semi-conducteur.

Dans un second temps, portons l'électrode métallique à un potentiel positif. Les trous vont alors être repoussés. Ils vont quitter la zone sous l'électrode métallique. Lorsque le potentiel de cette dernière croît, et si le potentiel positif n'est pas trop fort, le semi-conducteur sous l'électrode métallique va devenir vide de charges mobiles. Il sera dit *deplété*.

Lorsque le potentiel positif de l'électrode métallique croît, celle-ci va attirer les électrons qui se libèrent par effet thermique. La densité de ceux-ci sous l'électrode métallique va devenir suffisamment importante pour inverser le type du semi-conducteur qui va devenir localement de type N puisque ses charges mobiles deviennent des électrons.

La tension nécessaire pour inverser le type du semi-conducteur est appelée la tension de *seuil*. Elle est notée V_T .

1.3.6. Transistor MOS

La figure 15 représente la structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET).

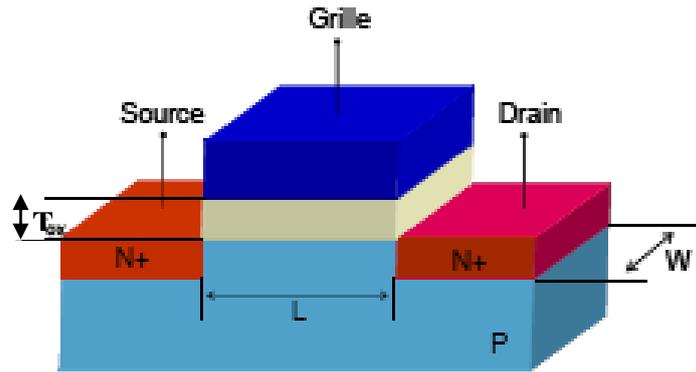


Figure 15 : Schéma d'un MOSFET de type N.

Elle est réalisée à partir d'un substrat semi-conducteur, généralement de type P, dans lequel deux régions implantées N^+ définissent les électrodes de source et de drain. L'électrode de grille est obtenue à partir d'un oxyde (SiO_2) recouvert par une couche de polysilicium fortement dopée et métallisée (ou une couche métallique). Les principaux paramètres géométriques du composant sont: L (longueur de grille, distance drain-source), W (largeur transversale de la structure) et T_{ox} (épaisseur d'oxyde). Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranchées d'isolation.

Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés N^+ pour un NMOS (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

Au repos, la source est isolée du drain par deux diodes tête-bêche. Si la grille est portée à un potentiel tel que le type du semi-conducteur du substrat s'inverse, alors le drain se trouve relié à la source par un pont résistif, appelé *canal*, qui se trouve être du même type de matériaux semi-conducteur que la source et le drain. Le potentiel de grille commande donc le passage du courant entre le drain et la source du transistor.

Dans les schémas électroniques, l'électrode de substrat des transistors MOS est souvent omise compte tenu du caractère systématique de sa polarisation (0 v pour les transistors N et V_{DD} pour les transistors P).

Les symboles utilisés pour représenter les transistors MOS reflètent leur symétrie physique ($S \rightarrow D$ ou $D \rightarrow S$).



Figure 16 : Symboles schématisant un MOSFET.

Courant dans un transistor MOS

La source est prise comme origine de tous les potentiels.

Le potentiel de surface varie linéairement le long du canal.

La tension de seuil locale $V_T(x)$ varie de V_{T0} à la source à V_{TD} au niveau du drain.

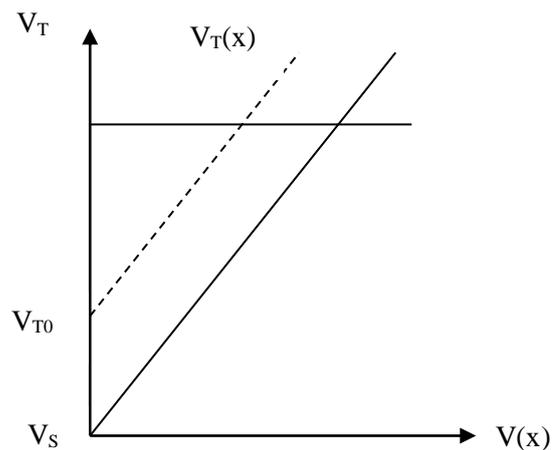


Figure 17 : Evolution de la tension le long du canal.

- Si V_D est petit :

Cette zone de la caractéristique est appelée « *linéaire* ». Le courant est alors de la forme :

$$I_D = \mu \cdot C_{ox} \cdot \frac{W}{L} (V_G - V_{T0}) V_D$$

$C_{ox} = \frac{\epsilon}{e}$: Capacité d'un carré unitaire de la grille.

$\frac{W}{L}$: Facteur de forme du transistor.

- Si $V_D \leq V_G - V_{T0}$:

Cette zone de la caractéristique est appelée « *quadratique* ».

$$I_D = \mu \cdot C_{OX} \cdot \frac{W}{L} \left[(V_G - V_{T0}) \cdot V_D - \frac{V_D^2}{2} \right]$$

- Si $V_D \geq V_G - V_{T0}$:

Cette zone est dite « *saturée* ».

$$I_D = \mu \cdot C_{OX} \cdot \frac{W}{L} \frac{(V_G - V_{T0})^2}{2}$$

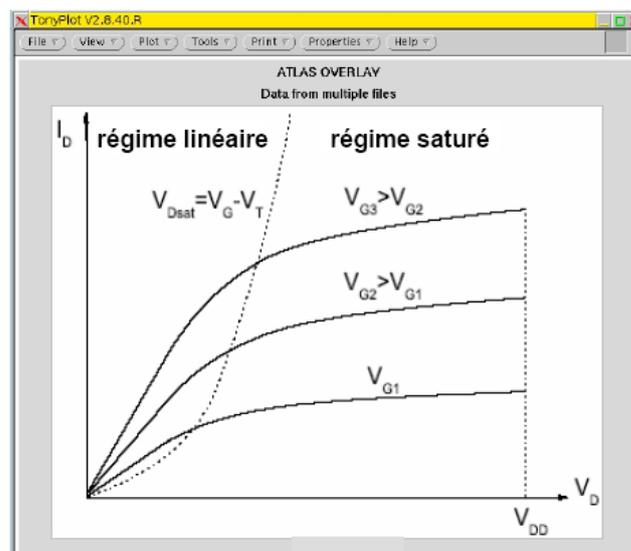


Figure 18 : Représentation schématique de la caractéristique I_{ds} - V_{ds} du transistor nMOS.

Dans la partie saturée, un transistor MOS se comporte comme un générateur de courant.

La valeur du courant dans les différentes zones de fonctionnement dépend de la capacité unitaire C_{OX} . Cela signifie que l'épaisseur e de l'isolant doit être la plus faible possible. Dans les technologies modernes, cette épaisseur n'est que d'une fraction de nm, c'est-à-dire de seulement quelques couches atomiques

Chapitre II

Logique Combinatoire et Logique Séquentielle

2.1. Introduction

Tous les circuits électroniques de nos jours fonctionnent à partir de la logique binaire à deux états. Elle permet de réaliser des fonctions logiques quelconques qui peuvent être considérées comme des automates définissant un ou plusieurs états de sortie en fonction des entrées et éventuellement des états précédents.

Une variable logique A ne peut prendre que deux valeurs possibles « vrai » ou « faux » (notées « 0 » et « 1 » par commodité d'écriture. Cela ne veut pas dire que les niveaux électriques correspondant sont 0 V et 1 V. On parle de logique positive quand l'état « vrai » ou état « 1 » correspond à la valeur de tension la plus élevée et de logique négative dans le cas contraire.

Les progrès technologiques ont conduit à diminuer ces valeurs au fur et à mesure que les technologies ont évolué. Elles sont passées de 5 V dans les années 70 à 0.7 V actuellement (consommation électrique des circuits).

Notons que la valeur la plus basse des deux valeurs possibles est en général 0 V et que les deux états sont définis par rapport à des valeurs de tensions et non pas de courants. Les logiques en courant sont possibles mais n'ont pas conduit à des applications industrielles.

2.2. Logique Combinatoire

Une variable logique F dite de sortie dépend d'un nombre fini de variables logiques dites d'entrée A, B, C, \dots . On écrira donc :

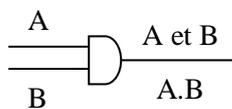
$$F = F(A, B, C, \dots)$$

Les variables n'ont que deux états possibles notés « 0 » et « 1 ». La fonction est définie si, pour toutes les combinaisons des variables d'entrée, on est capable de définir l'état de la variable F . Le tableau donnant ce résultat est appelé table de vérité. Il définit complètement la fonction logique. On définit ainsi la logique combinatoire.

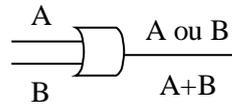
Quand la donnée des variables d'entrée n'est pas suffisante pour définir l'état de sortie on parle de logique séquentielle. De manière générale, une fonction en logique séquentielle dépend des états des variables d'entrées au moment où on veut déterminer sa valeur mais aussi de la séquence des états précédents pour toutes les variables. On pourrait également dire que la logique séquentielle dépend de l'histoire des événements.

Toutes les fonctions de la logique combinatoires peuvent s'exprimer en combinant des fonctions de base : le « et » logique, le « ou » logique et l'inverseur.

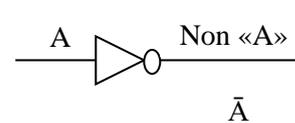
- AND : Sortie = 1 si et seulement si toutes les entrées sont égales à « 1 ».
- OR : Sortie = 1 si au moins une des entrées est à « 1 ».
- NOT (inverseur) : La valeur de la sortie est l'inverse de celle de l'entrée.



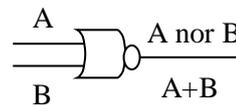
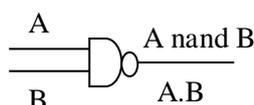
A	B	A et B
0	0	0
0	1	0
1	0	0
1	1	1



A	B	A ou B
0	0	0
0	1	1
1	0	1
1	1	1



A	Non A
0	1
1	0



A	B	A.NAND.B
0	0	0
0	1	0
1	0	0
1	1	1

A	B	A.NOR.B
0	0	0
0	1	1
1	0	1
1	1	1

Une fonction quelconque peut s'exprimer à l'aide de ces fonctions de base. Comme exemple prenons une fonction logique F définie par sa table de vérité suivante :

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

La fonction F a un état 1 pour les cas indiqués en gris sur le tableau. Elle s'exprime alors par des fonctions « et », « ou » et des inversions comme suit :

$$F = \bar{A}BC + A\bar{B}C + ABC\bar{C}$$

Dans tous les autres cas, la fonction est nulle au sens logique du terme. Cet exemple simple montre comment on construit une fonction à partir des briques logiques de base. Le schéma électrique peut s'en déduire facilement comme il est indiqué par la figure 19.

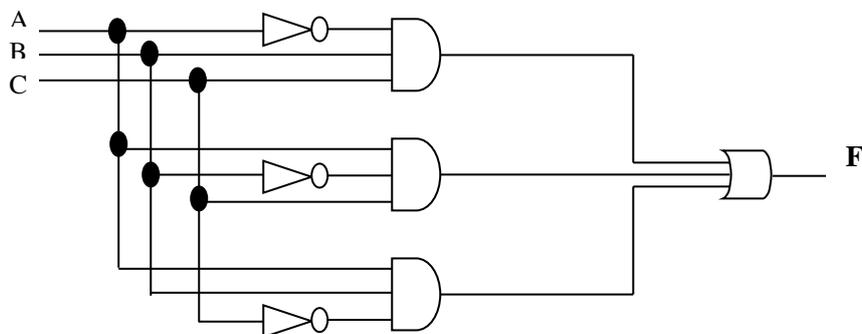


Figure 19 : Schéma électrique de la fonction logique F.

Les trois fonctions de base ne sont pas indispensables et il est possible de réaliser une fonction quelconque avec un inverseur et une des deux fonctions « et » ou « ou ». On utilise pour cela les relations logiques :

$$\overline{A+B} = \overline{A} \cdot \overline{B}$$

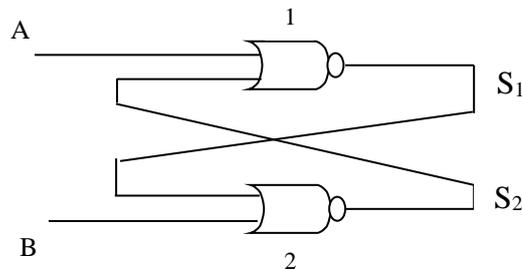
$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

Ces relations se démontrent facilement en construisant les tables de vérité. Elles se généralisent pour trois et un nombre quelconque de variables logiques.

En pratique, la micro-électronique fait usage de deux autres fonctions : le « nand » qui est un « et » suivi d'un inverseur et le « nor » qui est un « ou » suivi d'un inverseur. Ces deux fonctions sont plus faciles à réaliser en technologie CMOS et sont les fonctions de base de la logique. Toutes les fonctions logiques peuvent se réaliser avec des NOR car l'inverseur est un NOR particulier. Il suffit de positionner une entrée à l'état « 1 ». Il en est de même avec le NAND en positionnant une entrée à « 1 ».

2.3. Logique Séquentielle

La logique séquentielle ajoute une notion de base supplémentaire : la fonction mémoire. Pour en comprendre la signification, il suffit de considérer le schéma très simple de la figure suivante formé par deux portes NOR bouclées.



Supposons l'entrée A dans l'état 0 et l'entrée B dans l'état 0. Deux états sont alors possibles:

- Si la deuxième entrée de la porte 1 est à l'état 1, la sortie S1 est dans l'état 0 et la sortie S2 est dans l'état 1.
- Si la deuxième entrée de la porte 1 est dans l'état 0, la sortie S1 est dans l'état 1 et la sortie S2 dans l'état 0. C'est donc la situation inverse.

Les deux cas sont possibles et l'état dans lequel se trouve le système dépend non seulement des entrées mais des changements d'états qui se sont passés antérieurement. Bien évidemment, un nouveau changement d'état sur une des entrées a pour conséquence un changement des états de

sortie. Dans tous les cas, les deux sorties sont dans des états différents : quand $S1$ est à l'état 1, $S2$ est à l'état 0 et réciproquement.

Ce système simple illustre deux fonctions fondamentales de l'électronique numérique :

- la fonction bistable ;
- la fonction mémoire.

La fonction bistable se caractérise par deux états possibles. La fonction mémoire se caractérise par la prise en compte des événements précédents.

Chapitre III

L'inverseur de Base

en Technologie CMOS

3.1. Introduction

L'inverseur est véritablement la brique de base de la logique CMOS et toutes les autres fonctions logiques sont dérivées de cette cellule élémentaire. La fonction logique est le complément : un état « 0 » devient un état « 1 » et réciproquement. Elle est en pratique réalisée par la mise en série d'un transistor PMOS et d'un transistor NMOS comme le montre la figure 20.

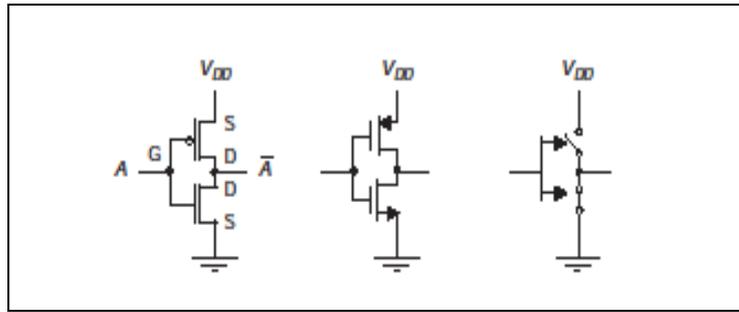


Figure 20 : Représentation logique, électrique et fonctionnelle de l'inverseur CMOS.

Quand une tension positive, de l'ordre de V_{dd} est appliquée sur la grille, le transistor NMOS conduit et le transistor PMOS est bloqué. La connexion de sortie est reliée à la masse et isolée de la tension d'alimentation. Elle est nulle. Il y a donc bien changement d'état logique. Quand une tension nulle est appliquée sur l'entrée, c'est l'inverse. Le transistor NMOS est bloqué et le transistor PMOS conduit.

Lorsque l'on fait varier le potentiel d'entrée V_{in} du montage de 0 v à la tension d'alimentation, sa tension de sortie V_{out} varie de V_{dd} à 0 V. On constate que lorsque V_{in} est proche de 0 v ou de V_{dd} , un seul transistor conduit et l'autre est bloqué.

Nous remarquons que les deux transistors sont toujours parcourus par le même courant et que la somme de leurs tensions V_{ds} est égale à V_{dd} .

Considérons les différentes zones de la caractéristique de transfert (figure 21).

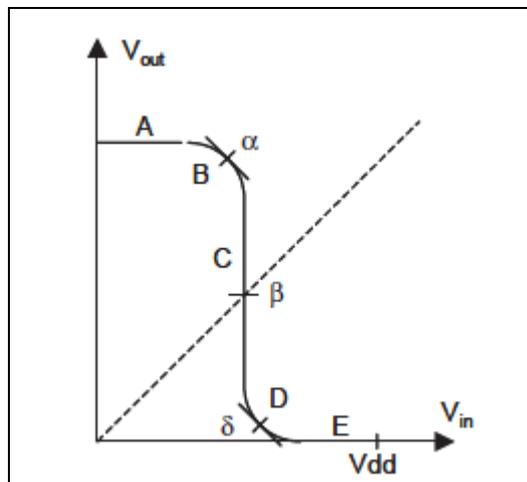


Figure 21 : Caractéristique de transfert de l'inverseur de base.

Nous noterons V_T la tension de seuil V_{T0} rendue commune aux transistors N et P.

- Zone A : TrN bloqué ($V_{gs} < V_T$) ; $i = 0$; TrP quadratique ($V_{ds} = 0v$) ; $V_{out} = V_{dd}$.
- Zone B : TrN saturé ($V_{ds} = V_{dd}$) ; TrP quadratique ($V_{ds} = 0$).
- Zone C : TrN saturé ($V_{ds} = V_{dd}/2$) ; TrP saturé ($V_{ds} = V_{dd}/2$).
- Zone D : TrN quadratique ($V_{ds} = 0$) ; TrP saturé ($V_{ds} = V_{dd}$).
- Zone E : TrN quadratique ($V_{ds} = 0v$) ; $i = 0$; TrP bloqué ($V_{gs} < V_T$) ; $V_{out} = 0v$.

3.2. Points caractéristiques

- Zone linéaire : $i = \mu \cdot C_{OX} \cdot \frac{W}{L} (V_G - V_{T0}) V_D$
- Zone quadratique : $i = \mu \cdot C_{OX} \cdot \frac{W}{L} \left[(V_G - V_{T0}) V_D - \frac{V_D^2}{2} \right]$
- Zone saturée : $i = \mu \cdot C_{OX} \cdot \frac{W}{L} \frac{(V_G - V_{T0})^2}{2}$

Lorsque la tension Grille-Source est V_G pour le transistor NMOS, elle vaut $V_{dd} - V_G$ pour le transistor PMOS.

$$\begin{array}{ll} \text{De plus :} & V_{dsn} + V_{dsp} = V_{dd} \quad \text{donc} \quad V_{dsp} = V_{dd} - V_{dsn} \\ \text{Et} & V_{out} = V_{dsn} \quad \text{donc} \quad V_{dsp} = V_{dd} - V_{out} \end{array}$$

3.3. Point α :

L'expression du courant commun est :

$$\begin{aligned} i_\alpha &= \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{in} - V_T)^2 \\ &= \frac{1}{2} \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p} \left[2[(V_{dd} - V_{in}) - V_T](V_{dd} - V_{out}) - (V_{dd} - V_{out})^2 \right] \end{aligned}$$

En supposant que l'inverseur soit équilibré, c'est-à-dire que :

$$\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} = \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p}$$

Et si $L_n = L_p$ (= dimension minimale), alors :

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}$$

L'égalité des courants (NMOS et PMOS) se simplifie en :

$$(V_{in} - V_T)^2 = 2(V_{dd} - V_{in} - V_T)(V_{dd} - V_{out}) - (V_{dd} - V_{out})^2 \quad 1$$

Dérivons par rapport à V_{in} et V_{out} :

$$2(V_{in} - V_T) dV_{in} = -2[(V_{dd} - V_{out}) dV_{in} + (V_{dd} - V_{in} - V_T) dV_{out}] + 2(V_{dd} - V_{out}) dV_{out}$$

Divisons par $2dV_{in}$:

$$V_{in} - V_T = - \left[(V_{dd} - V_{out}) + (V_{dd} - V_{in} - V_T) \frac{dV_{out}}{dV_{in}} \right] + (V_{dd} - V_{out}) \frac{dV_{out}}{dV_{in}}$$

Le point α de la caractéristique de transfert est choisi de manière que pour toute tension inférieure à $V_{in\alpha}$, l'inverseur n'amplifie pas le bruit qui pourrait être superposé à son signal d'entrée. Cela correspond à la relation suivante :

$$\frac{dV_{out}}{dV_{in}} = -1$$

Ce qui donne :

$$(V_{in} - V_T) = -2(V_{dd} - V_{out}) + (V_{dd} - V_{in} - V_T)$$

$$2V_{in} - V_{dd} = -2(V_{dd} - V_{out})$$

$$V_{dd} - V_{out} = \frac{V_{dd}}{2} - V_{in} \quad 2$$

Que nous reportons dans l'équation 1 :

$$(V_{in} - V_T)^2 = 2(V_{dd} - V_{in} - V_T) \left(\frac{V_{dd}}{2} - V_{in} \right) - \left(\frac{V_{dd}}{2} - V_{in} \right)^2$$

$$= \left(\frac{V_{dd}}{2} - V_{in} \right) \left(2V_{dd} - 2V_{in} - 2V_T - \frac{V_{dd}}{2} + V_{in} \right)$$

$$= \left(\frac{V_{dd}}{2} - V_{in} \right) \left(\frac{3}{2}V_{dd} - V_{in} - 2V_T \right)$$

$$V_{in}^2 - 2V_{in}V_T + V_T^2 = \frac{3}{4}V_{dd}^2 - \frac{1}{2}V_{dd}V_{in} - V_{dd}V_T - \frac{3}{2}V_{dd}V_{in} + V_{in}^2 + 2V_{in}V_T$$

$$V_{in}^2 + V_T^2 = 4V_{in}V_T - 2V_{dd}V_{in} + \frac{3}{4}V_{dd}^2 - V_{dd}V_T$$

$$2V_{in}(V_{dd} - 2V_T) = (V_{dd} - 2V_T) \left(\frac{3}{4}V_{dd} + \frac{V_T}{2} \right)$$

$$D'où : \quad \boxed{V_{in\alpha} = \frac{1}{8}(3V_{dd} + 2V_T)}$$

Calcul de la tension de sortie :

De l'équation 2, on déduit :

$$V_{out\alpha} = \frac{V_{dd}}{2} + V_{in\alpha} = \frac{V_{dd}}{2} + \frac{1}{8}(3V_{dd} + 2V_T)$$

$$\Rightarrow \quad \boxed{V_{out\alpha} = \frac{1}{8}(7V_{dd} + 2V_T)}$$

Calcul du courant :

$$i_\alpha = \frac{1}{2}\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{in} - V_T)^2 = \frac{1}{2}\mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[\frac{3}{4} \left(\frac{V_{dd}}{2} - V_T \right)^2 \right]$$

$$i_{\alpha} = \frac{9}{32} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left(\frac{V_{dd}}{2} - V_T \right)^2$$

Le point α sera donc choisi comme le niveau maximum du niveau logique « 0 ». La pente de « -1 » de la caractéristique de transfert à cet endroit assure que le niveau de bruit en sortie sera au plus égal à celui en entrée.

3.4. Point β :

Ce point est situé, par symétrie, au milieu de la caractéristique :

$$V_{in\beta} = V_{out\beta} = \frac{V_{dd}}{2} \quad \text{et} \quad i_{\beta} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left(\frac{V_{dd}}{2} - V_T \right)^2$$

Comme il peut aussi s'écrire :

$$i_{\beta} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} (V_{out} - V_T)^2$$

Dans cette dernière équation, le courant i_{β} ne dépend pas de V_{in} . Le gain de l'inverseur, considéré comme un amplificateur analogique, est donc théoriquement infini. Pratiquement, les effets parasites le ramènent à une valeur voisine de 10.

3.5. Point δ :

Au point δ , l'expression du courant commun est :

$$i_{\alpha} = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} [2(V_{in} - V_T)V_{out} - V_{out}^2] = \frac{1}{2} \mu_p \cdot C_{OX} \cdot \frac{W_p}{L_p} [(V_{dd} - V_{in} - V_T)^2]$$

Un raisonnement identique au calcul du courant au point α conduit à :

$$2(V_{in} - V_T)V_{out} - V_{out}^2 = (V_{dd} - V_{in} - V_T)^2 \quad 3$$

Le point δ est choisi avec des conditions semblables à celles du point α , d'où :

$$\frac{dV_{out}}{dV_{in}} = -1$$

Dérivons l'équation 3 :

$$V_{out} + (V_{in} - V_T) \frac{dV_{out}}{dV_{in}} - V_{out} \frac{dV_{out}}{dV_{in}} = -(V_{dd} - V_{in} - V_T)$$

$$V_{out} - V_{in} + V_T + V_{out} = -(V_{dd} - V_{in} - V_T)$$

Ce qui donne : $V_{out} = V_{in} - \frac{V_{dd}}{2}$ qu'on reporte dans l'équation 3 :

$$2(V_{in} - V_T) \left(V_{in} - \frac{V_{dd}}{2} \right) - \left(V_{in} - \frac{V_{dd}}{2} \right)^2 = (V_{dd} - V_{in} - V_T)^2$$

Ce qui donne, après développement :

$$2V_{in}(V_{dd} - 2V_T) = (V_{dd} - 2V_T) \left(\frac{5}{4}V_{dd} - \frac{V_T}{2} \right)^2$$

D'où :

$$V_{in\delta} = \frac{1}{8}(5V_{dd} - 2V_T)$$

Et :

$$V_{out\delta} = \frac{1}{8}(V_{dd} - 2V_T)$$

$V_{out\delta} < V_T$ et le point δ est choisi comme le niveau minimum du niveau logique « 1 ».

Calcul du courant :

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[2(V_{in} - V_T)V_{out} - V_{out}^2 \right]$$

En éliminant V_{out} et en la remplaçant par sa valeur au point δ , on obtient :

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[2(V_{in} - V_T) \left(V_{in} - \frac{V_{dd}}{2} \right) - \left(V_{in} - \frac{V_{dd}}{2} \right)^2 \right]$$

En éliminant V_{in} et en la remplaçant par sa valeur au point δ , on obtient :

$$i_\delta = \frac{1}{2} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left[2 \left[\frac{1}{8}(5V_{dd} - 2V_T) - V_T \right] \left[\left(\frac{1}{8}(5V_{dd} - 2V_T) \right) - \frac{V_{dd}}{2} \right] - \left[\left(\frac{1}{8}(5V_{dd} - 2V_T) \right) - \frac{V_{dd}}{2} \right]^2 \right]$$

Qu'on peut réécrire comme suit :

$$i_\delta = \frac{9}{32} \mu_n \cdot C_{OX} \cdot \frac{W_n}{L_n} \left(\frac{V_{dd}}{2} - V_T \right)^2$$

On remarque que : $i_\alpha = i_\delta = 9/16 i_\beta = 0.56 i_\beta$.

3.3. Niveaux logiques

L'étude et l'utilisation du fonctionnement des portes se fait sur une abstraction logique de leurs niveaux d'entrée et de sortie qui représentent des niveaux de tension.

Les *niveaux logiques* V_0 et V_1 sont choisis de manière à assurer simultanément :

- Un « bon » blocage du ou des transistors qui doivent l'être, c'est-à-dire un niveau V_0 inférieur à V_T et un niveau V_1 supérieur à $V_{dd} - V_T$.

- Une « bonne » limitation de la propagation des *bruits* (parasites) dans le circuit, c'est-à-dire un niveau V_0 inférieur à $V_{in\delta}$ et un niveau V_1 supérieur à $V_{in\alpha}$.

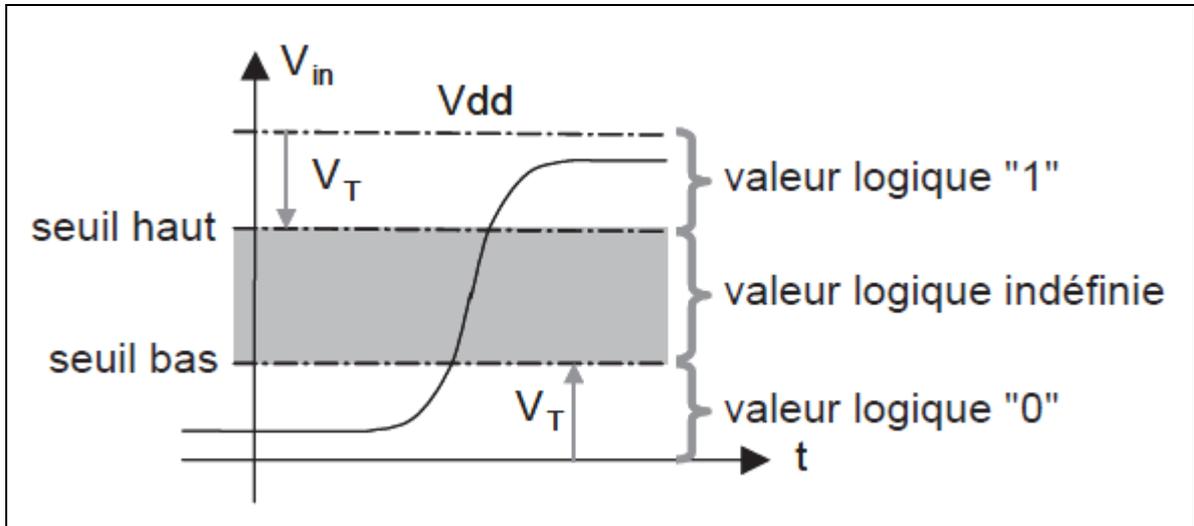


Figure 22 : Niveaux logiques.

- V_{0Hmin} : Tension de sortie maximale produite à l'état High ($V_{dd} - 0.1V$).
- V_{1Hmin} : Tension de sortie minimale reconnue comme état High (70% V_{dd}).
- V_{1Lmax} : Tension de sortie maximale reconnue comme état Low (30% V_{dd}).
- V_{0Lmax} : Tension de sortie maximale produite à l'état Low (ground + 0.1V).

Chapitre IV

Fabrication de l'inverseur

CMOS

4.1. Introduction

La technologie PLANAR est aujourd'hui utilisée de manière quasiment exclusive pour la fabrication des circuits intégrés. Partant d'une « tranche » de cristal de silicium appelée *wafer*, une première étape d'oxydation permet d'obtenir une couche de silice (SiO_2). Une seconde étape de photolithographie permet de définir la géométrie du motif à réaliser. Elle consiste en un dépôt de résine photosensible, puis son exposition à un rayonnement ultraviolet au travers d'un masque. Le développement de cette résine par une dissolution chimique permet de l'enlever là où elle a été exposée. Une seconde attaque chimique ou physique appelée *gravure* permet d'enlever la silice là où elle n'est plus protégée par la résine. Une nouvelle dissolution permet d'enlever la résine restante.

Le dopage du substrat dans cette ouverture se fait par une implantation ionique ou par la diffusion d'impuretés. La silice joue alors un rôle de barrière qui empêche l'implantation de ces impuretés ailleurs que dans la zone gravée. La photolithographie est également utilisée pour graver un dépôt de métal pour réaliser les contacts et les interconnexions.

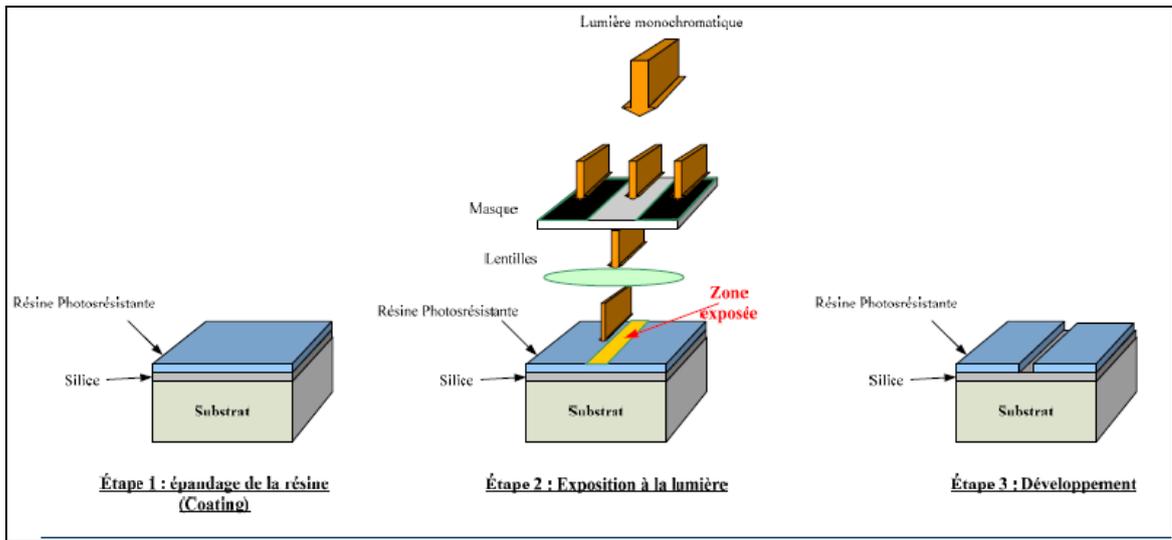


Figure 23 : Technologie Planar (I).

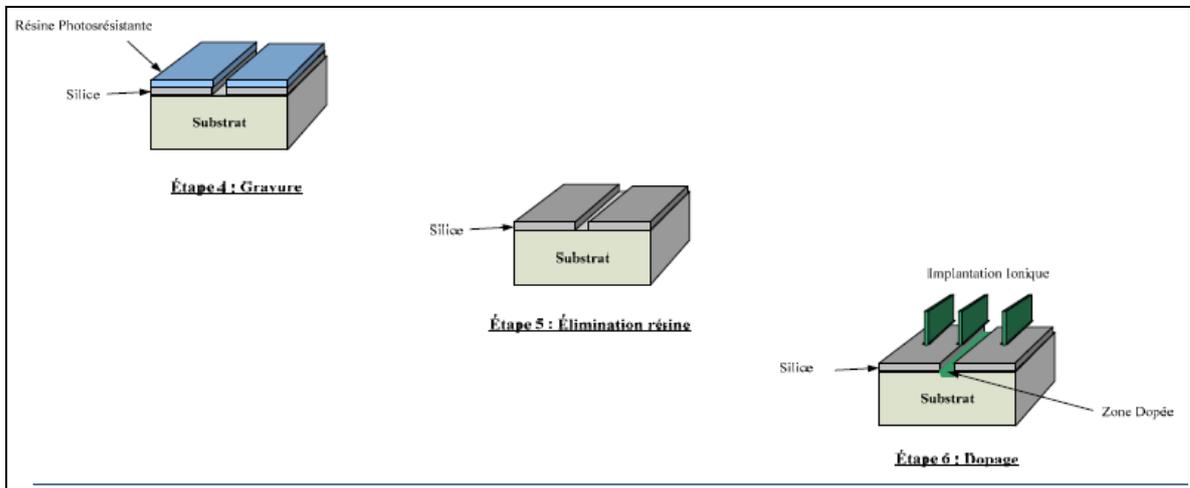


Figure 24 : Technologie Planar (II).

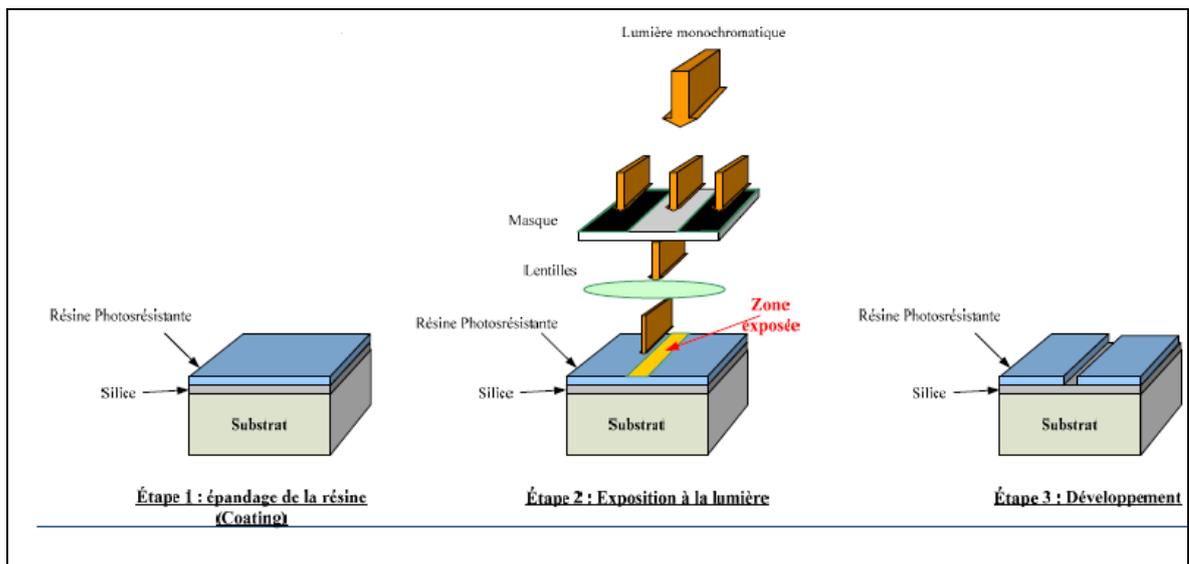


Figure 25 : Photolithographie.

4.2. Fabrication des tranches de silicium

Le silicium est le matériau de loin le plus utilisé pour la réalisation de circuits intégrés. Le matériau de départ est un type particulier de sable très pur (SiO_2) nommé *quartzite*. Après divers traitements thermiques et chimiques, on obtient du silicium de qualité électronique. Celui-ci se caractérise par une concentration d'impuretés très faible. Un monocristal géant (actuellement de 300 mm de diamètre pour un mètre de longueur) est ensuite réalisé par la technique dite de *Czochralski* qui utilise un appareil nommé « extracteur de cristal » (figure 27).



Figure 26 : Lingot monocristal de Si de 300mm de diamètre et de 1m de longueur.

De manière synthétique, on peut décrire le processus de croissance du cristal de la manière suivante :

- On place dans le creuset du silicium de qualité électronique que l'on chauffe jusqu'à sa température de fusion.
- Un petit cristal de silicium (le germe) est suspendu sur un support tournant. Ce germe est ensuite partiellement plongé dans le silicium en fusion.
- On commence alors à retirer lentement le germe du silicium en fusion (tirage). Un refroidissement progressif permet la croissance d'un grand cristal ayant la même orientation cristalline que le germe.

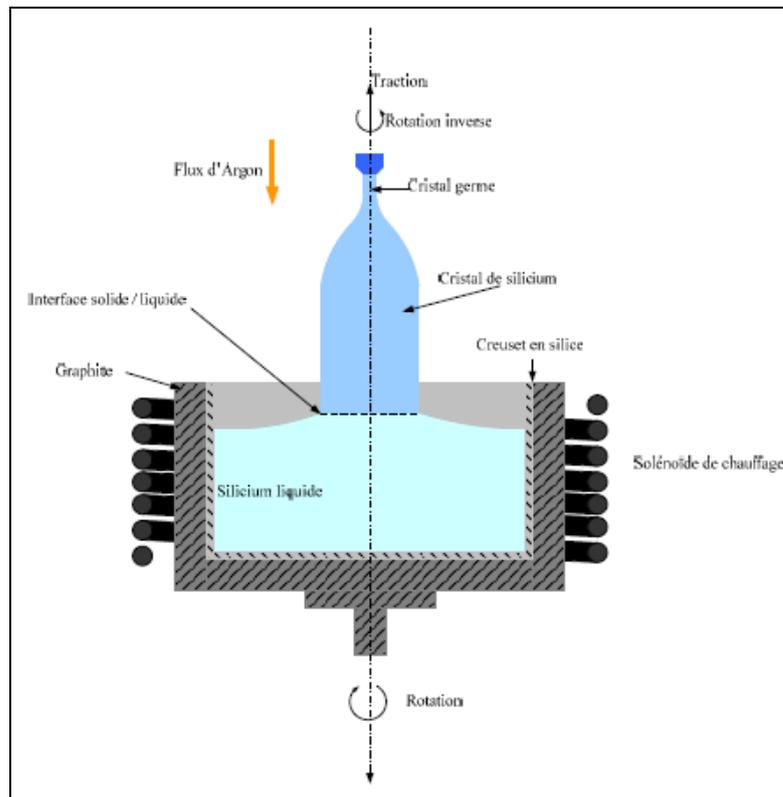


Figure 27 : Croissance d'un monocrystal de silicium par la méthode de Czochralski.

La vitesse de croissance classique du monocrystal est de l'ordre de quelques millimètres par minute. Pour obtenir des cristaux de silicium de grand diamètre, on ajoute un champ magnétique, qui permet le contrôle de la concentration des défauts, des impuretés et de l'oxygène. Lors de la croissance du cristal, une quantité connue de dopant (bore ou phosphore) est mélangée au silicium en fusion pour obtenir un cristal ayant le dopage désiré. Le monocrystal est ensuite épuré par une technique de fusion localisée parcourant le cristal du germe à la base. Celle-ci est ensuite séparée par sciage. Le monocrystal est ensuite scié en tranches d'une fraction de millimètre d'épaisseur. Une fois polies et oxydées, ces tranches constitueront le matériau de départ de la réalisation collective des circuits intégrés (figure 28).

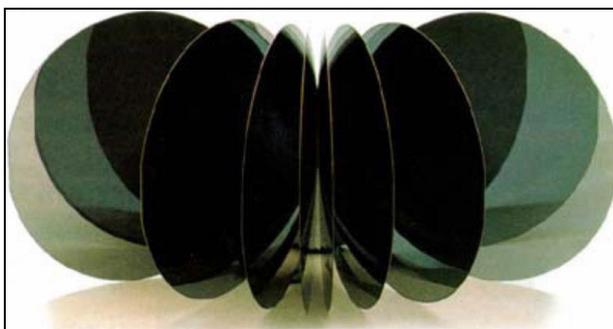


Figure 28 : Tranches de silicium.

4.3. Etape 1 : Réalisation du caisson N

La réalisation d'un circuit intégré CMOS démarre à partir d'une tranche de silicium P (substrat), c'est-à-dire d'une tranche de silicium contenant des impuretés constituées d'atomes de bore par exemple. La réalisation des transistors MOS de type P nécessite, au préalable, la réalisation de zones dopées N que l'on nomme *caissons N*. Il est à noter que dans les technologies submicroniques il est d'usage de faire aussi des caissons P pour les transistors de type N (pour améliorer le contrôle du dopage du canal de ces transistors).

La réalisation des caissons N se décompose en cinq sous-étapes dont les trois premières constituent la base de la photolithographie.

- Dépôt de la résine photosensible.
- Masquage de cette résine.
- Gravure de l'oxyde de silicium.
- Élimination de la résine.
- Implantation ionique de la zone N et recuit.

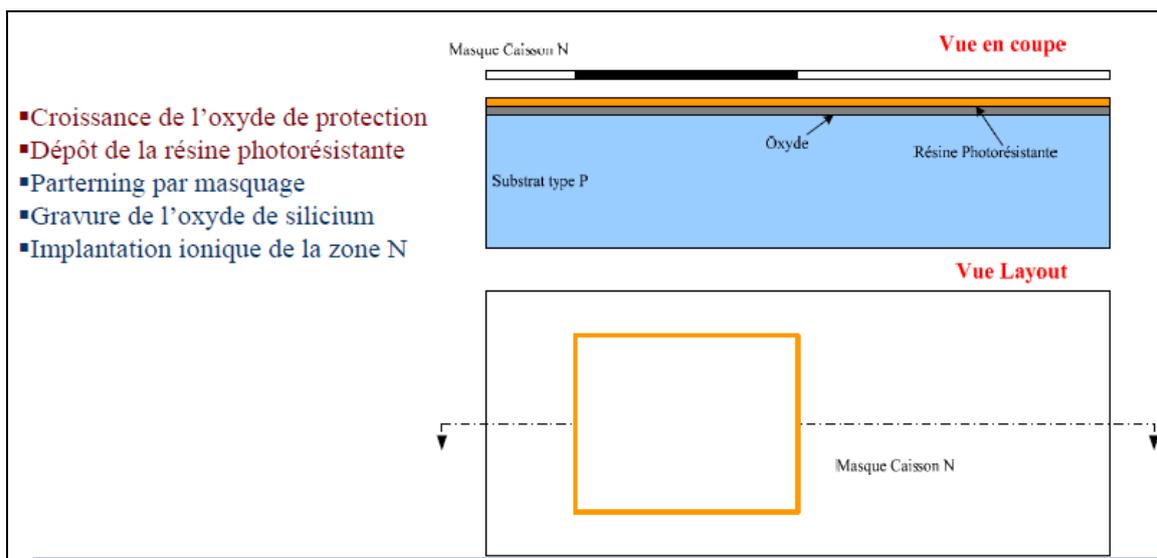


Figure 29 : Réalisation du caisson dopé N (I).

a) Masquage de la résine

Les tranches de silicium sont livrées oxydées. Cet oxyde sera gravé par *photolithographie* pour servir de masque pour l'implantation ionique qui formera les caissons. On commence par déposer une couche de résine photosensible sur la tranche à l'aide d'une tournette. Cette résine sera insolée à travers le masque du caisson N (figure 29).

b) Développement de la résine

Le développement enlève la résine qui n'a pas été insolée. Seule la zone correspondant au futur caisson N laisse apparaître la silice (figure 30).

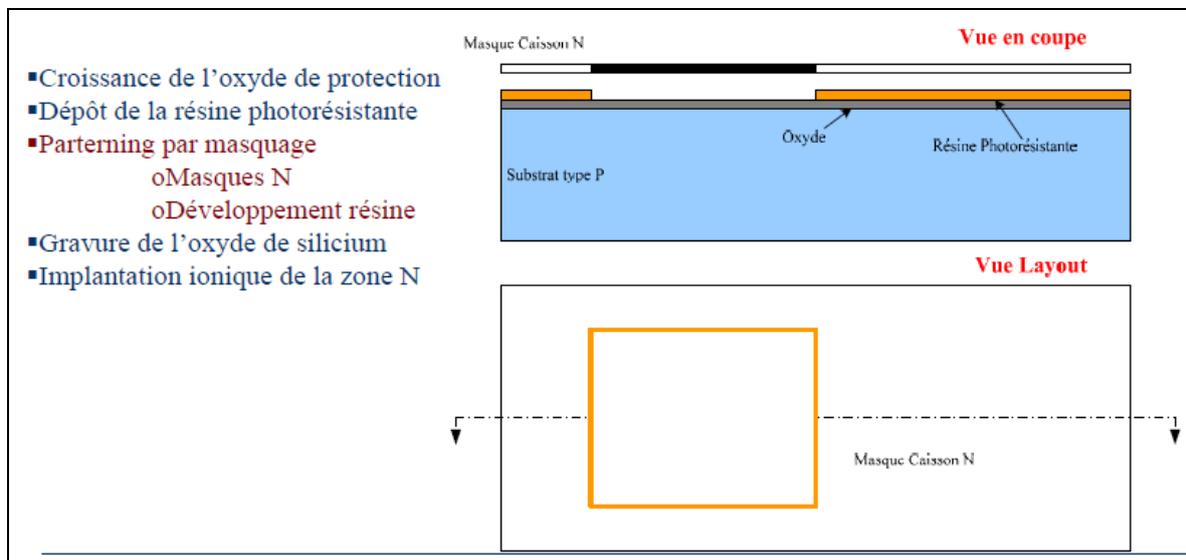


Figure 30 : Réalisation du caisson dopé N (II).

c) Gravure de la silice

La silice est ensuite gravée par attaque chimique ou par plasma (figure 31). On obtient une zone de silicium mis à nu correspondant au caisson N. Le reste de la tranche reste recouvert de silice, donc protégé. La résine est ensuite enlevée par dissolution.

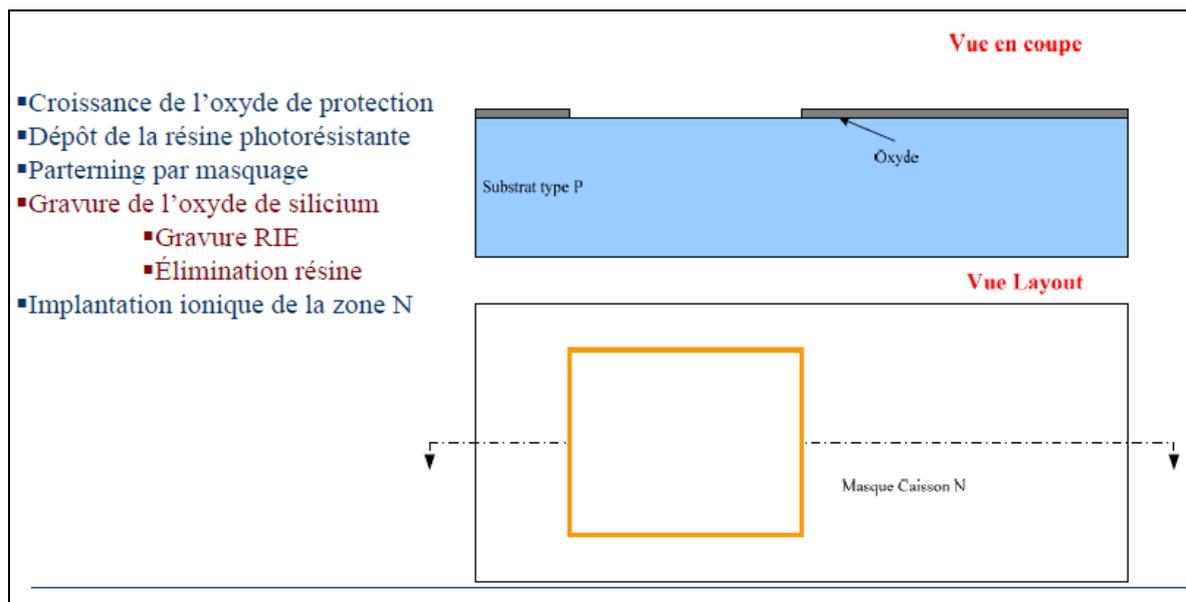


Figure 31 : Réalisation du caisson dopé N (III).

d) Implantation ionique de phosphore

Le caisson est maintenant réalisé par implantation ionique de phosphore (figure 32). Seule la zone non protégée par la silice est dopée. Cette dernière réalise donc un masque qui définit proprement la zone du caisson N.

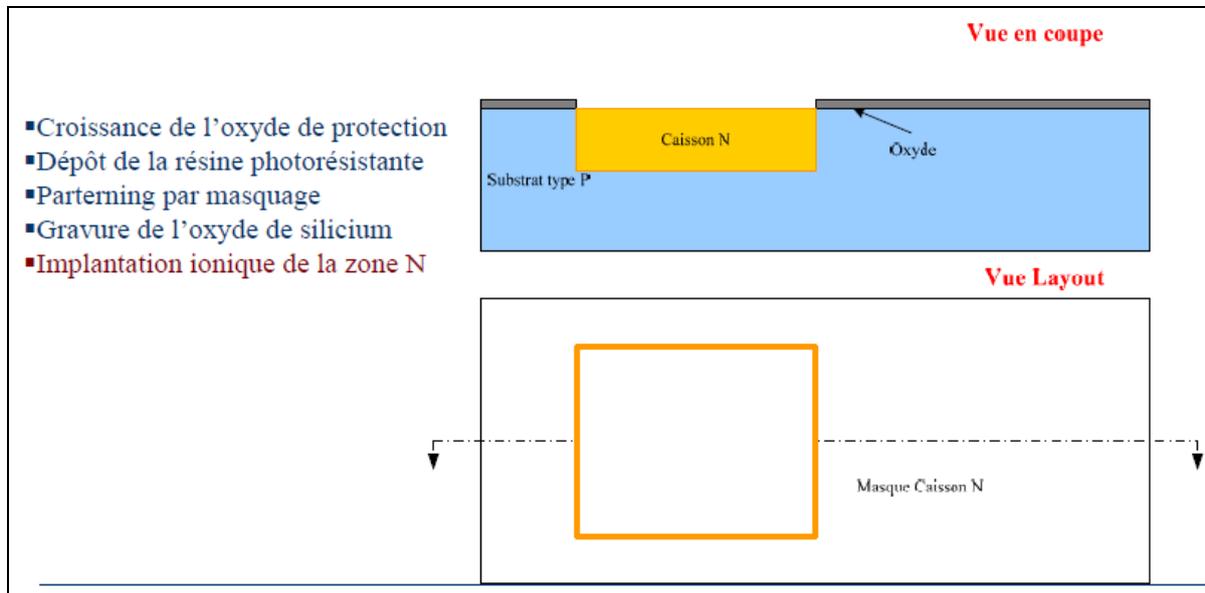


Figure 32 : Réalisation du caisson dopé N (IV).

4.4. Etape 2 : Préparation des zones actives

La seconde étape consiste en la préparation des zones actives, c'est-à-dire des zones qui seront ultérieurement dopées N ou P et qui correspondent aux drains et aux sources des transistors MOS (N et P) ainsi qu'aux contacts des caissons.

La préparation des zones actives se décompose en sept sous-étapes :

- Dépôt de nitrure de silicium (SiN).
- Dépôt de la résine photosensible.
- Masquage et développement de cette résine.
- Gravure du SiN.
- Élimination de la résine.
- Croissance de l'oxyde de champ.
- Élimination du SiN.

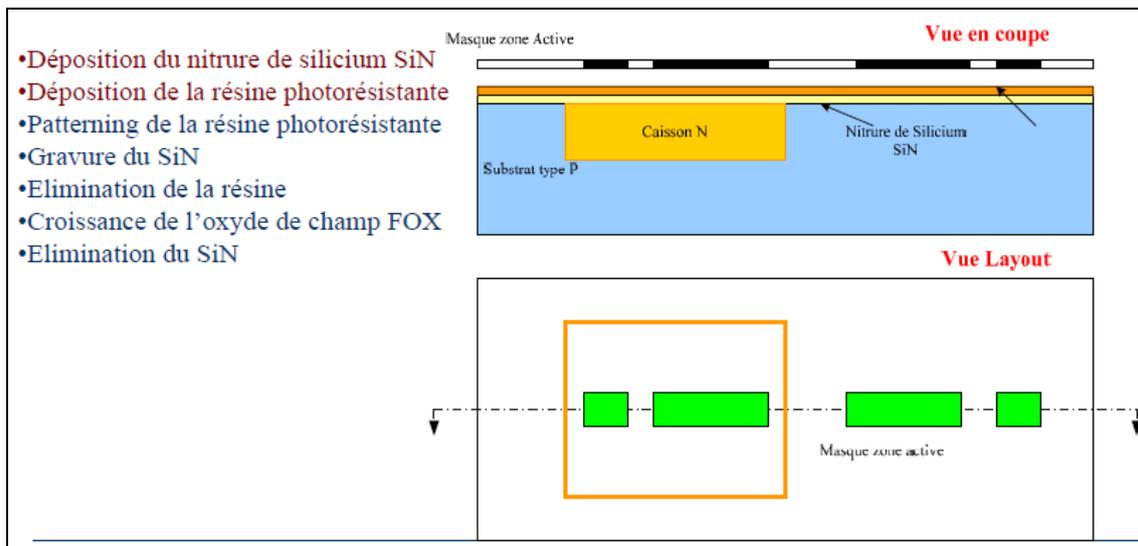


Figure 33 : Réalisation des zones actives (I).

a) Dépôt et gravure du nitrure de silicium

La première de ces sous-étapes consiste à réaliser un dépôt par plasma de nitrure de silicium Si_3N_4 . Celui-ci servira de masque pour la future croissance de l'oxyde de champ. La seconde sous-étape consiste à déposer une couche de résine photosensible à l'aide d'une tournette. Cette couche de résine sera ensuite insolée à travers le masque des zones actives puis développée (figure 33). Le nitrure de silicium est ensuite gravé par plasma. Le silicium est mis à nu à l'extérieur des zones qui correspondent aux futures régions actives et aux contacts de caisson. Celles-ci sont recouvertes, donc protégées, par du nitrure de silicium (figure 34).

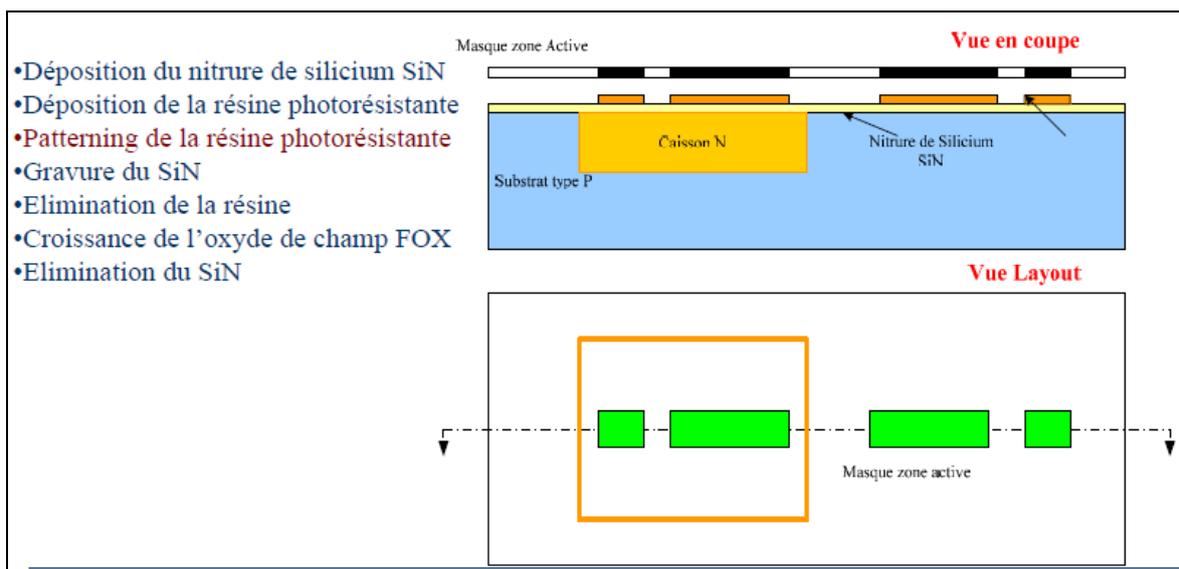


Figure 34 : Réalisation des zones actives (II).

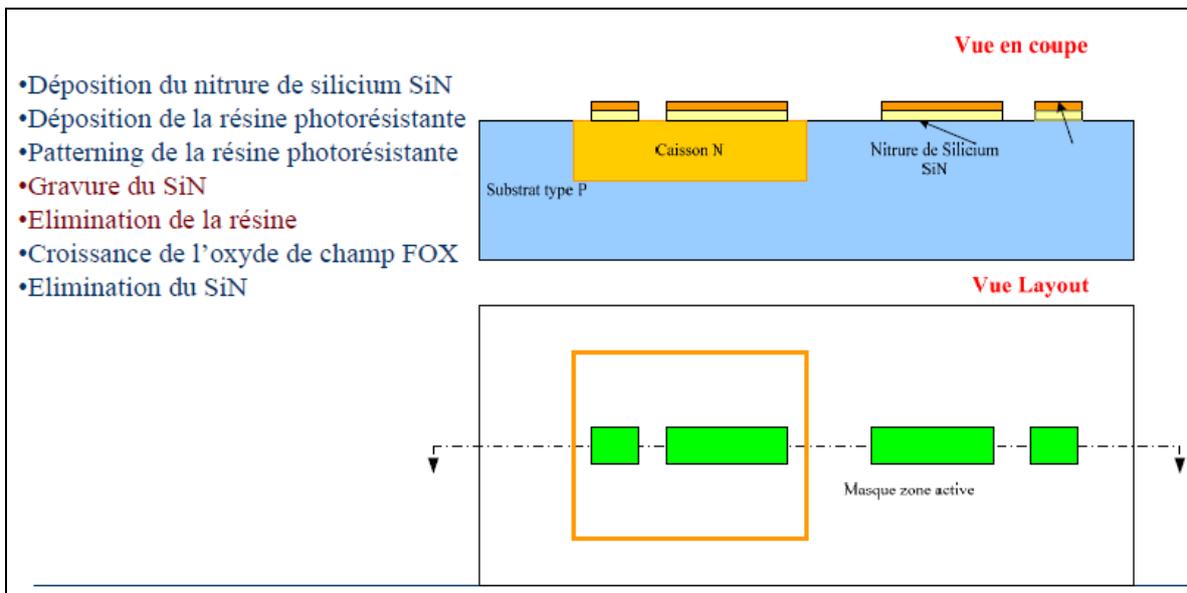


Figure 35 : Réalisation des zones actives (III).

b) Croissance de l'oxyde de champ

Les zones non protégées par le SiN sont oxydées thermiquement. La couche épaisse de silice ainsi obtenue isole électriquement entre eux les différents éléments du circuit (figure 36). Cette couche est appelée *oxyde de champ*. Le nitrure de silicium est ensuite enlevé pour mettre à nu les zones actives et permettre ainsi la réalisation des étapes suivantes.

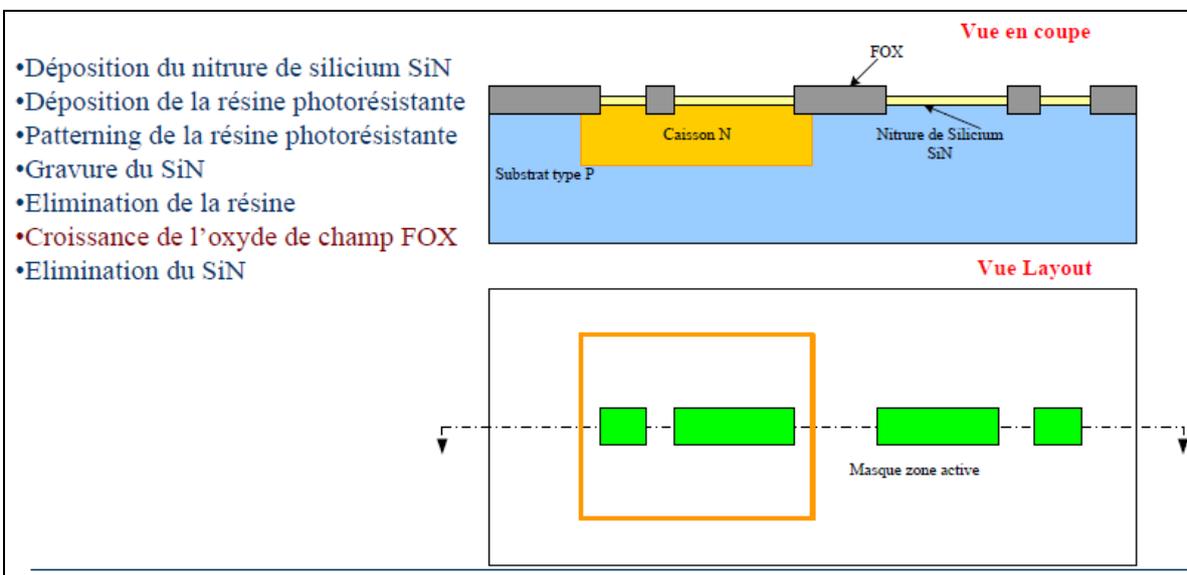


Figure 36 : Réalisation des zones actives (IV).

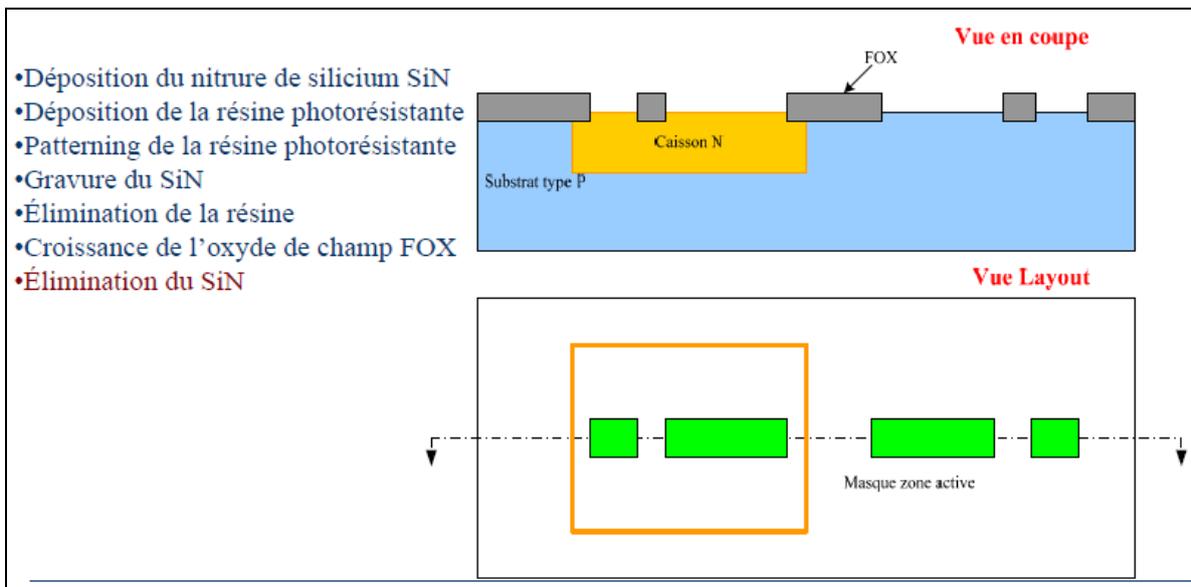


Figure 37 : Réalisation des zones actives (V).

4.5. Etape 3 : Réalisation des grilles

La troisième étape consiste en la réalisation des grilles des transistors MOS (N et P). La réalisation des grilles se décompose en sept sous-étapes :

- Croissance de l'oxyde de grille.
- Dépôt du polysilicium.
- Dépôt de la résine photosensible.
- Masquage et développement de la résine.
- Gravure du polysilicium.
- Gravure de l'oxyde de grille.
- Élimination de la résine.

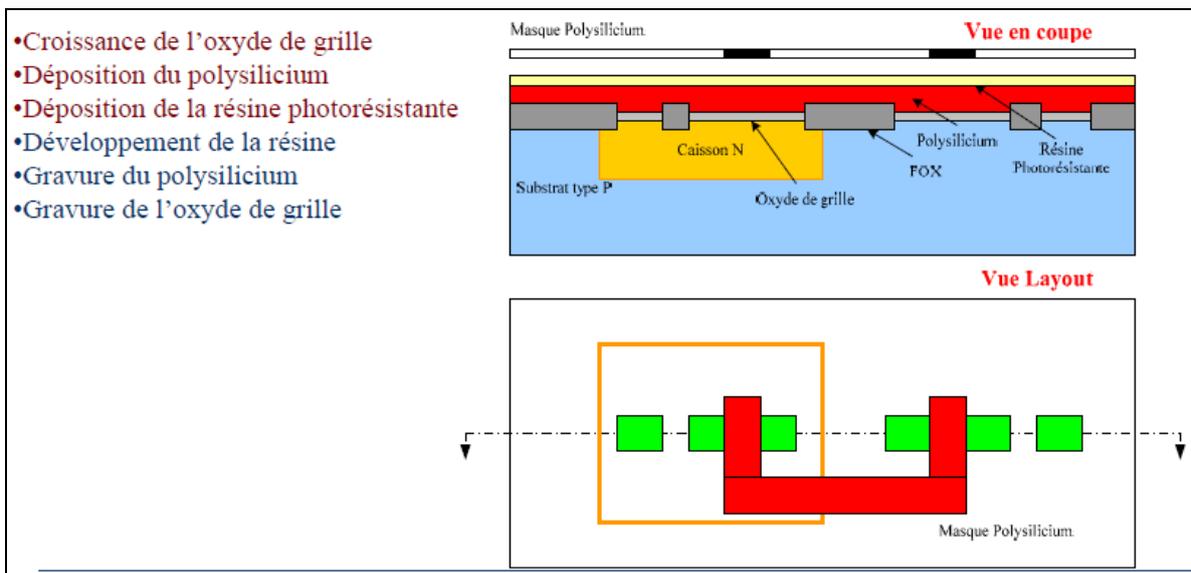


Figure 38 : Réalisation des grilles (I).

a) Croissance de l'oxyde mince

Cette étape commence par la croissance thermique de l'oxyde mince sur toute la surface de la tranche (figure 35). Cet oxyde doit d'être de très bonne qualité diélectrique tout en étant extrêmement mince (< 4 nm pour la technologie 90 nm) car il va servir d'isolant pour les grilles.

b) Dépôt et gravure du polysilicium

Une couche de polysilicium est déposée par LPCVD puis gravée par photolithographie pour obtenir les grilles des transistors (et les connexions en polysilicium) (figures 38 et 39).

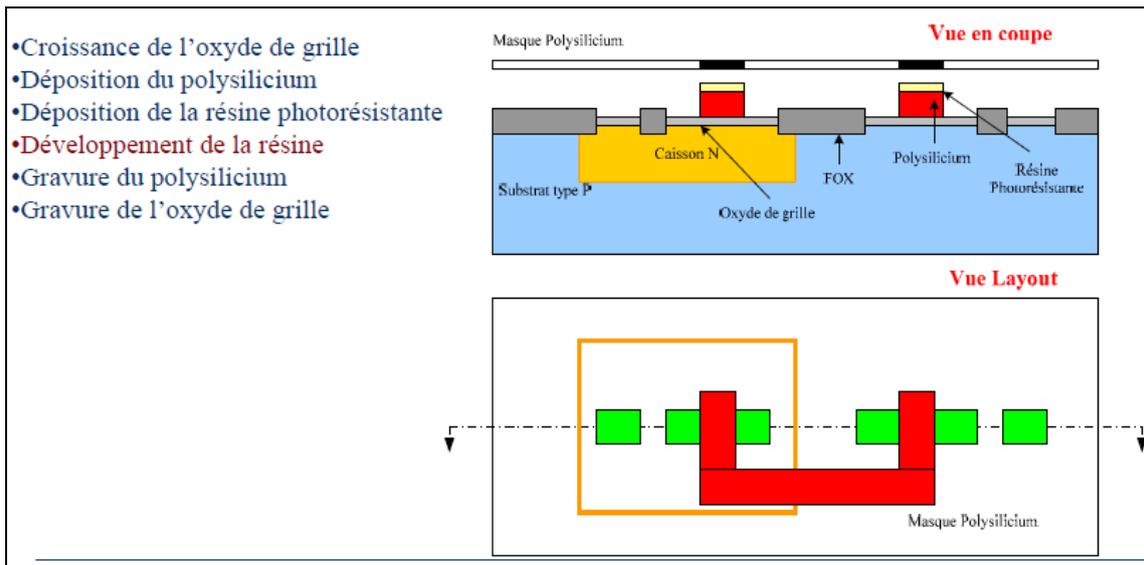


Figure 39 : Réalisation des grilles (II).

c) Gravure de l'oxyde mince

L'oxyde mince est éliminé par une gravure plasma sauf sous les zones protégées par le polysilicium (concept d'auto-alignement) (figure 40). On a ainsi réalisé les grilles de transistors MOS (P et N).

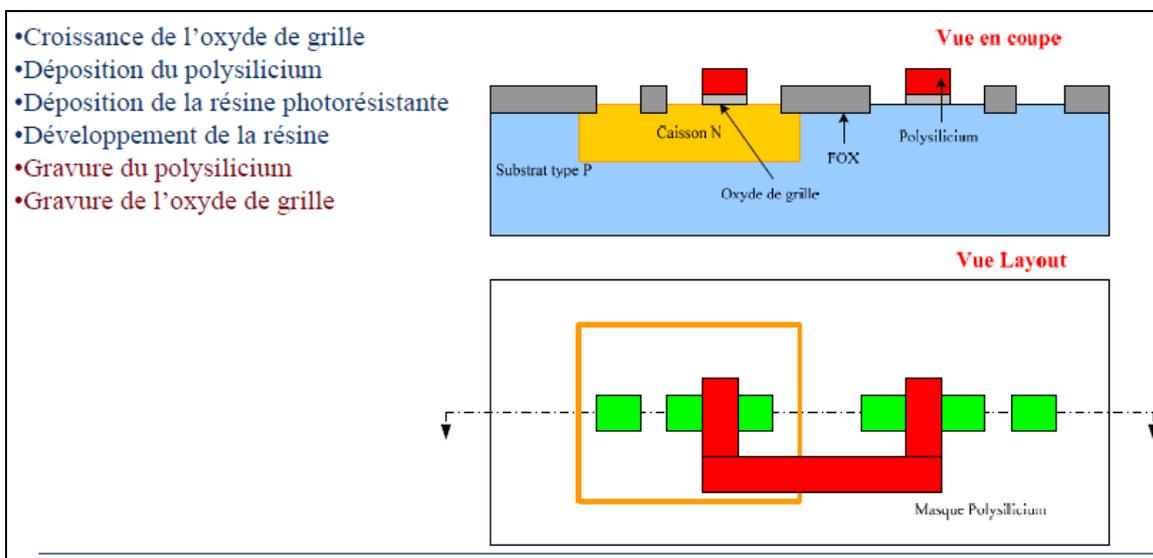


Figure 40 : Réalisation des grilles (III).

4.6. Etape 4 : Dopage des zones actives

La quatrième étape consiste en la réalisation des zones actives des transistors. Celles-ci sont dopées respectivement N+ pour les MOS N et P+ pour les MOS P.

Le dopage des zones actives se décompose en huit sous-étapes :

- Dopage des zones P+ :
 - Dépôt de résine photosensible.
 - Masquage et développement de cette résine.
 - Implantation ionique de la zone P+ et recuit.
 - Élimination de la résine.

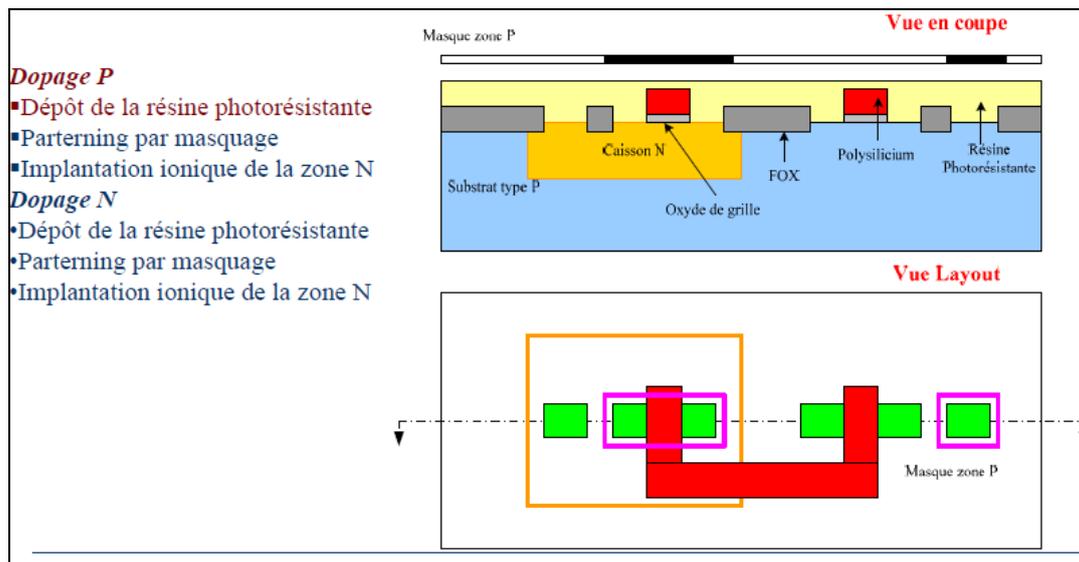


Figure 41 : Dopage des zones actives (I).

a) Masquage et développement de la résine pour les zones P+

La résine est insolée à travers le masque zone P+ (figure 41). Son développement laisse à découvert les zones qui doivent être dopées P+.

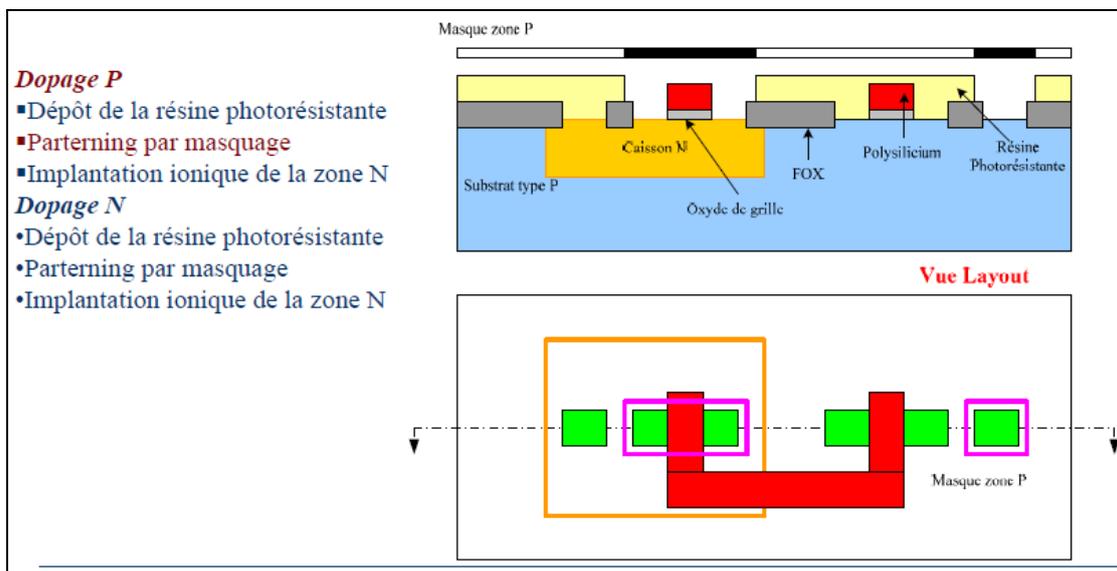


Figure 42 : Dopage des zones actives (II).

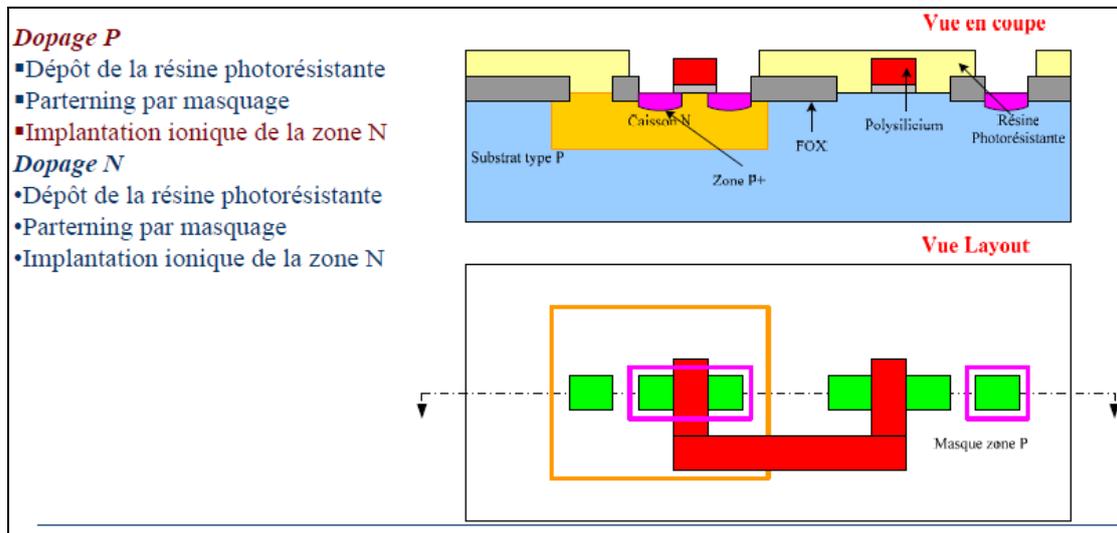


Figure 43 : Dopage des zones actives (III).

b) Réalisation des zones P+

Les zones P+ sont réalisées par implantation ionique de bore, c'est-à-dire les sources et les drains des transistors P mais aussi les contacts du substrat dopé P (figure 43). La grille en polysilicium joue encore le rôle d'un masque pour délimiter précisément les sources et les drains des transistors et éviter tout recouvrement (auto-alignement).

- Dopage des zones N+ :
 - Dépôt de résine photosensible.
 - Masquage et développement de cette résine.
 - Implantation ionique de la zone N+ et recuit.
 - Élimination de la résine.

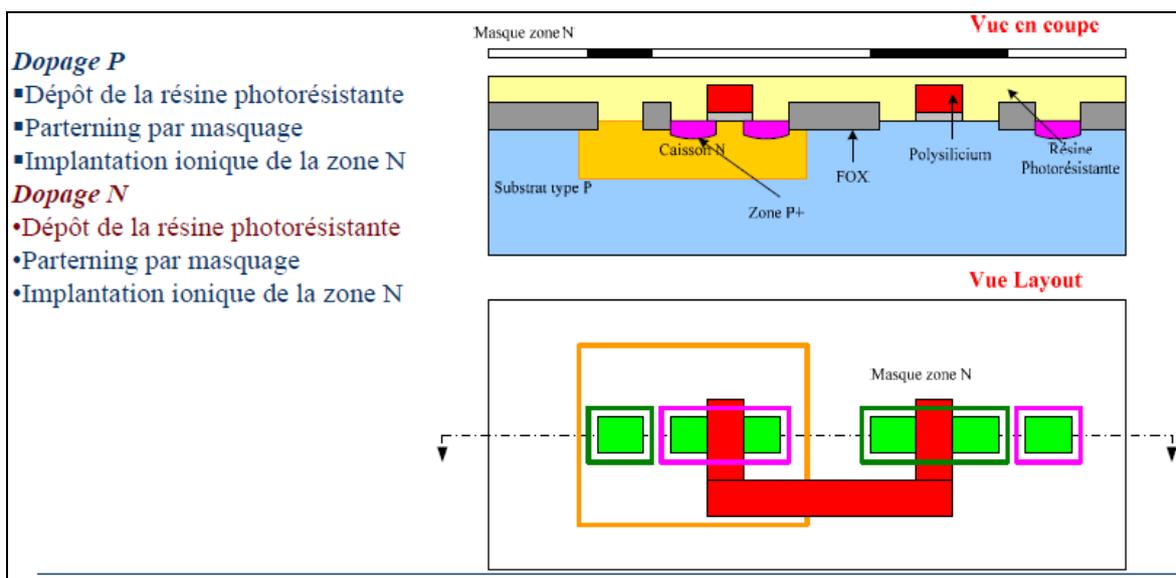


Figure 44 : Dopage des zones actives (IV).

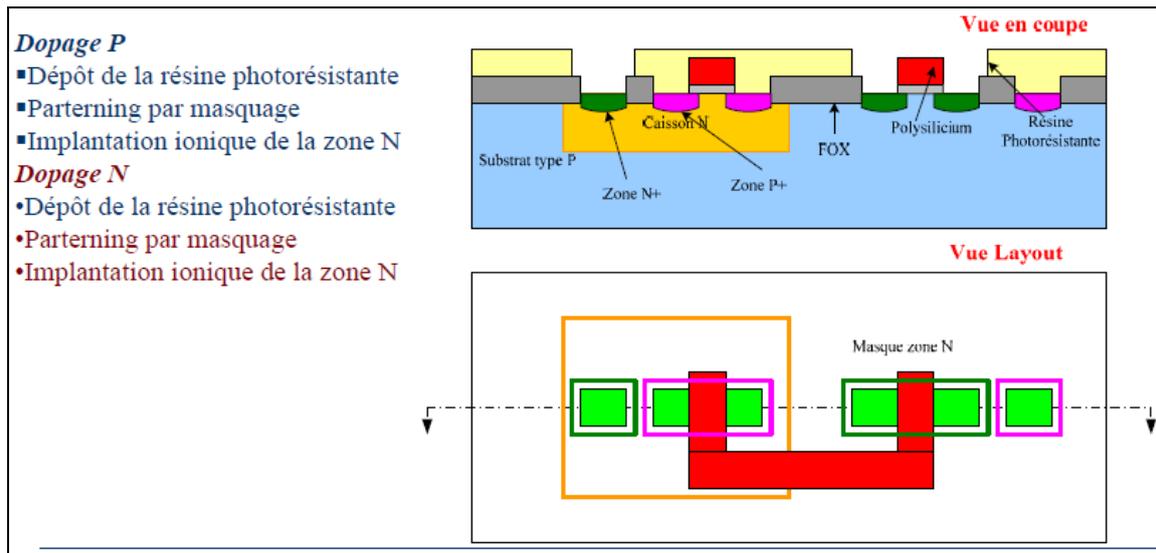


Figure 45 : Dopage des zones actives (V).

c) Réalisation des zones N+

La réalisation des zones actives N+ suit exactement le même processus que celle des zones P+, si ce n'est l'utilisation d'un masque délimitant les sources et drain des transistors N et les contacts des caissons N ainsi que l'utilisation d'une implantation ionique de phosphore (figure 44 et 45).

4.7. Etape 5 : Réalisation des via de contact

La cinquième étape consiste en la réalisation des via des contacts, c'est-à-dire des trous de connexion entre les zones dopées ou le polysilicium, et le métal 1. La réalisation des via des contacts se décompose en six sous-étapes :

- Dépôt de silice.
- Planéarisation.
- Dépôt de la résine photosensible.
- Masquage et développement de cette résine.
- Gravure de la silice.
- Élimination de la résine.

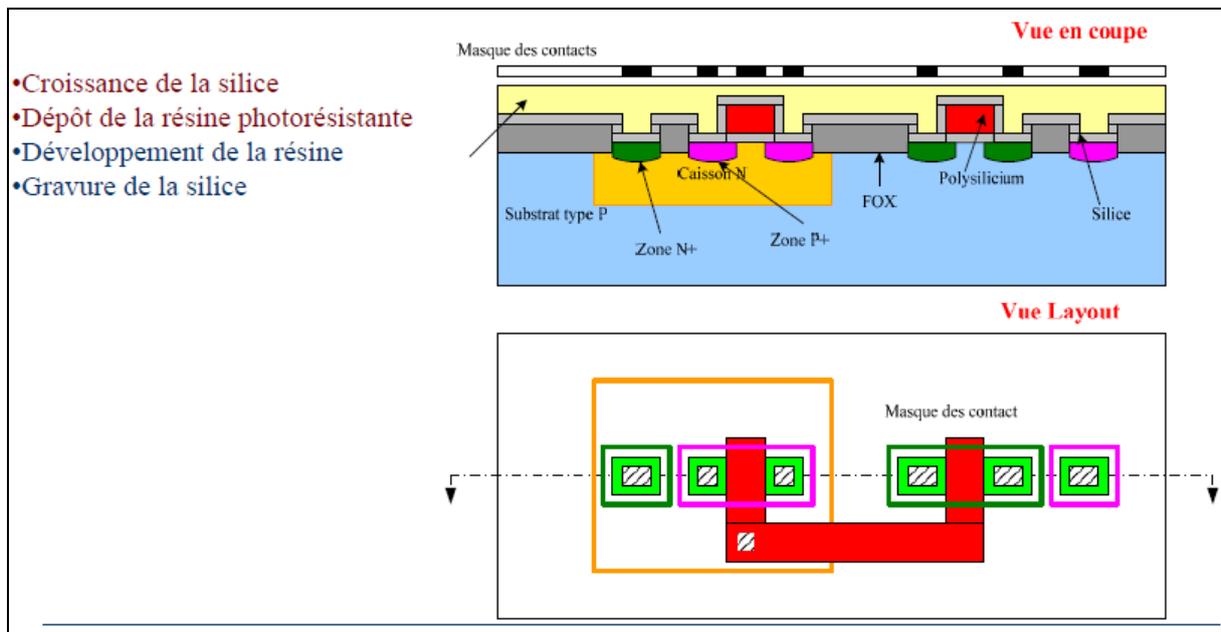


Figure 46 : Réalisation des via de contact (I).

a) Dépôt de silice

Une couche de silice d'isolation est déposée sur toute la tranche par CVD.

b) Planéarisation

Pour permettre la réalisation de connexions métalliques fiables et la maîtrise des couplages capacitifs, il est important que la surface sur laquelle sera déposée le métal 1 soit parfaitement plane. Cela est obtenu par un polissage mécanique appelé *planéarisation*.

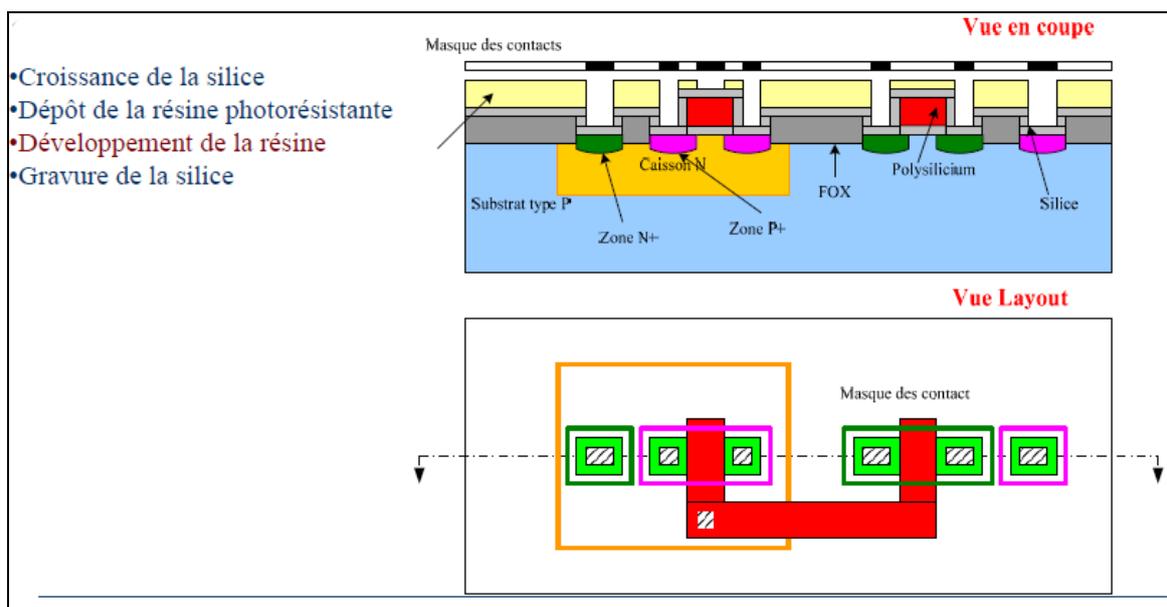


Figure 47 : Réalisation des via de contact (II).

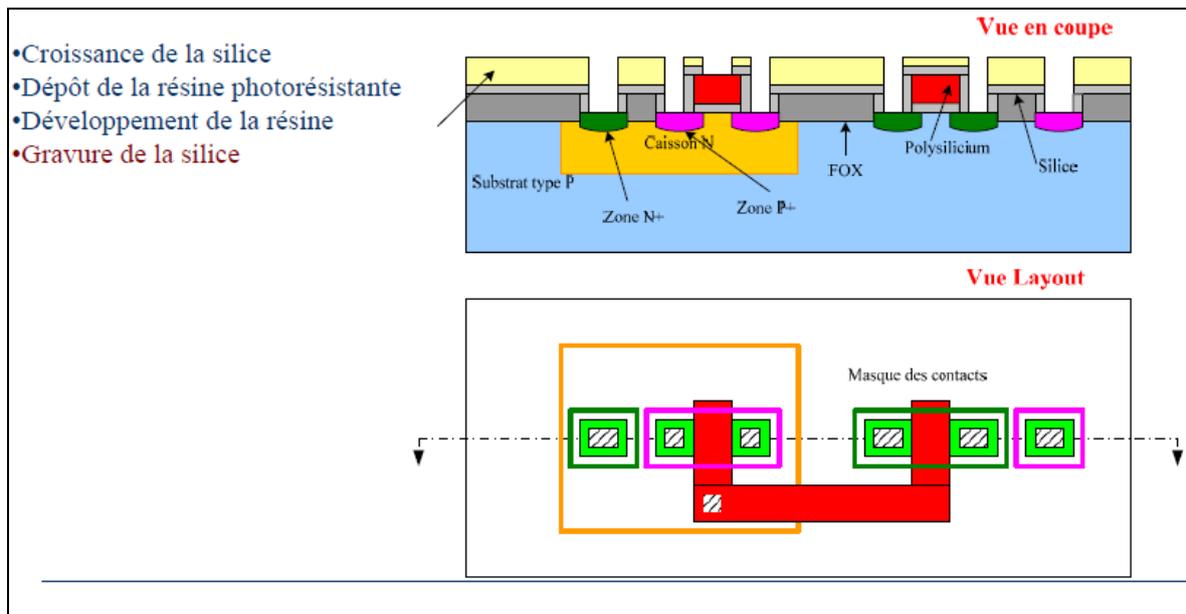


Figure 48 : Réalisation des via de contact (III).

c) Gravure de la silice

La silice est gravée par plasma jusqu'au zones actives ou jusqu'au polysilicium, dans les ouvertures de la résine (figure 48).

4.8. Etape 6 : Réalisation des connexions en métal 1

La réalisation des connexions en métal 1 se décompose en cinq sous-étapes :

- Dépôt du métal 1.
- Dépôt de la résine photosensible.
- Masquage et développement de cette résine.
- Gravure du métal 1.
- Élimination de la résine.

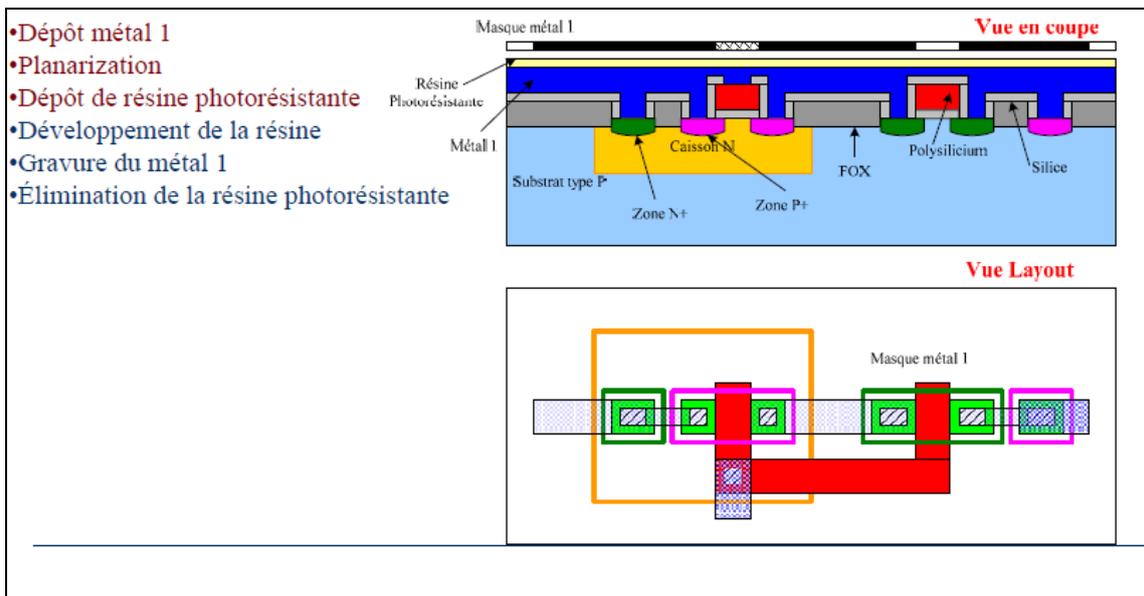


Figure 49 : Réalisation des connexions en métal 1 (I).

a) Dépôt du métal 1

Le métal à déposer est soit un alliage d'aluminium-tungstène, soit du cuivre plus conducteur, mais plus difficile à déposer. Le métal doit bien pénétrer dans les via pour réaliser de bons contacts. La pulvérisation cathodique ou « sputtering » est réalisée dans une chambre à vide. Un flux d'ions bombarde une cible de métal (Ti, Al, Cu, TiN) qui libère ses atomes qui viennent se déposer sur les tranches. L'évaporation se fait dans une chambre à vide par sublimation du métal (sous un très fort courant dans un creuset de tungstène) ou grâce à un flux d'électron.

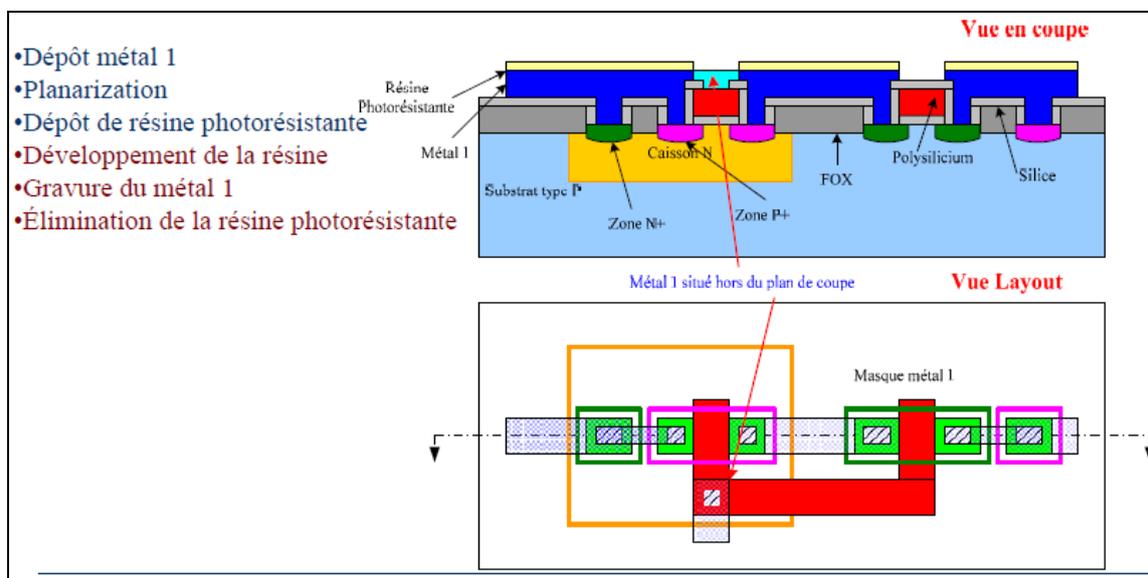


Figure 50 : Réalisation des connexions en métal 1 (II).

b) Gravure du métal 1

Le métal 1 est déposé par pulvérisation sur l'ensemble de la tranche. Il est ensuite gravé par photolithographie à partir du masque des connexions à réaliser en métal 1 (figure 50).

4.9. Etape 7 : Réalisation des via métal 1 – métal 2

La septième étape consiste en la réalisation des via entre les couches de métal (métal 1 – métal 2). La réalisation des via entre les couches de métal se décompose en cinq sous-étapes :

- Dépôt de silice.
- Dépôt de la résine photosensible.
- Masquage et développement de cette résine.
- Gravure de la silice.
- Élimination de la résine.

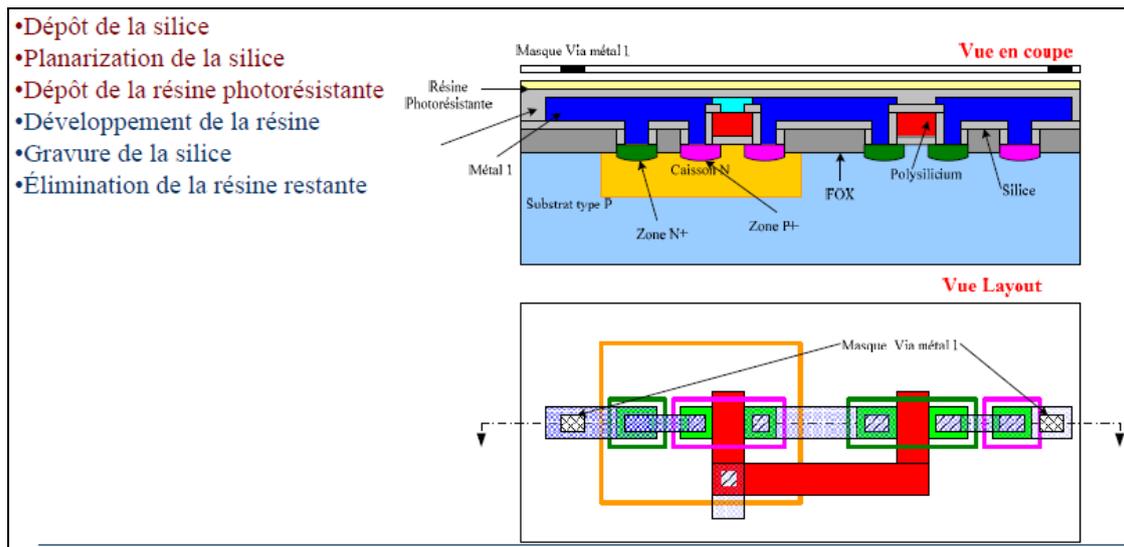


Figure 51 : Réalisation des via métal 1 – métal 2 (I).

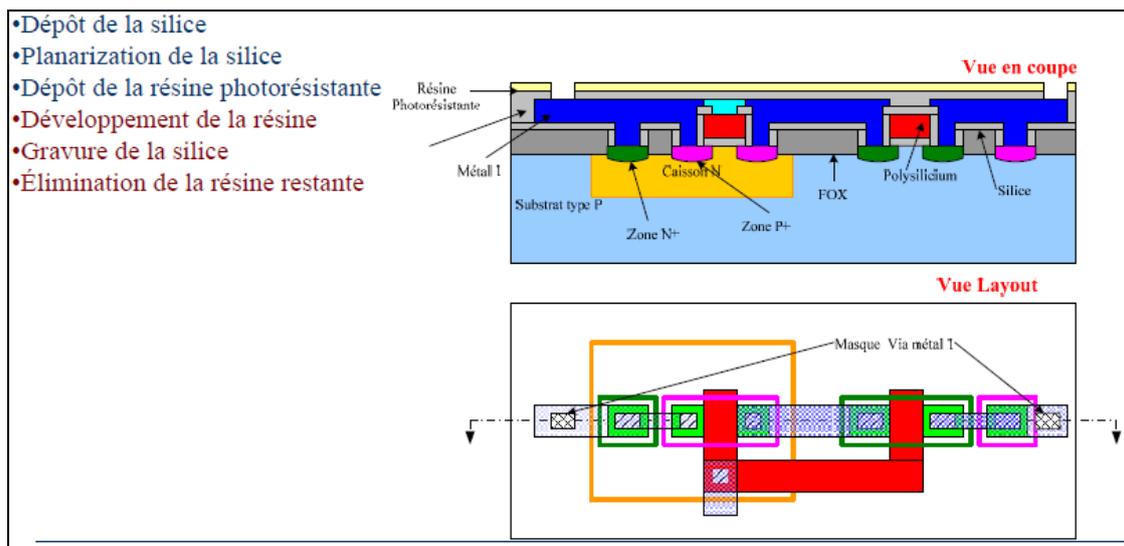


Figure 52 : Réalisation des via métal 1 – métal 2 (II).

4.10. Etape 8 : Réalisation des contacts en métal 2

La huitième étape consiste en la réalisation des couches de connexions en métal 2. La réalisation des connexions en métal 2 se décompose en cinq sous-étapes :

- Dépôt du métal 2.
- Dépôt de la résine photosensible.
- Masquage et développement de cette résine.
- Gravure du métal 2.
- Élimination de la résine.

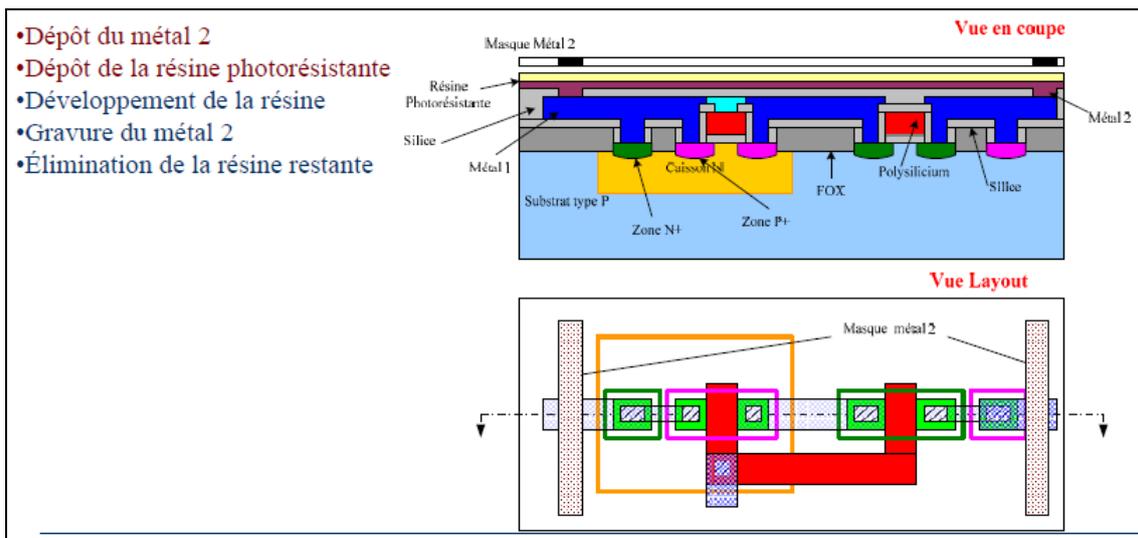


Figure 53 : Réalisation des contacts en métal 2 (I).

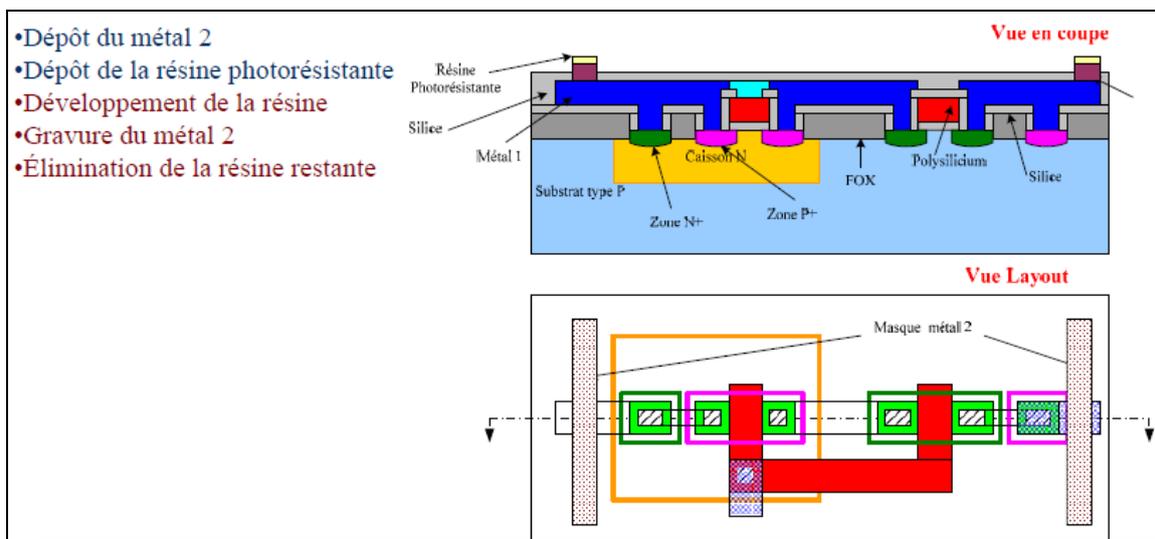


Figure 54 : Réalisation des contacts en métal 2 (II).

4.11. Finition du circuit

La finition du circuit comprend :

- Réalisation des couches d'interconnexion métalliques suivantes.
- Passivation du circuit.
- Réalisation des plots de connexion.
- Test des circuits.
- Découpage de la tranche.
- Montage en boîtier et marquage des circuits.

a) Réalisation des couches d'interconnexion métalliques suivantes

En pratique, d'autres niveaux sont nécessaires à cause de la faible taille des transistors car il faut donner aux connexions une largeur minimale pour conserver des liaisons faiblement résistives. Les circuits modernes des technologies avancées utilisent parfois 8 niveaux d'interconnexion en répétant les étapes 7 et 8 du processus.

b) Passivation du circuit

Le circuit terminé est recouvert d'une couche de nitrure de silicium pour le protéger contre les agressions mécaniques et chimiques.

c) Réalisation des plots de connexion

Les plots de connexion sont des surfaces carrées de métal à nu, relativement importantes (d'environ 100 μm de côté) qui recevront les fils de connexion avec le boîtier. Ces surfaces doivent résister à la pression de thermocompression. Pour cela, elles sont réalisées par des empilements de couches judicieusement choisies.

d) Tests des circuits

Chaque circuit de la tranche est testé par une machine munie d'une *carte à pointes* qui lui permet de se connecter successivement sur les plots de chaque circuit. Une séquence d'excitation est envoyée pour savoir si le circuit est bon ou mauvais. Les circuits mauvais sont marqués avec une tache d'encre et seront éliminés.

e) Découpage de la tranche

La tranche testée est collée sur une mince feuille de plastique adhésive, puis la tranche est découpée avec une scie diamantée, sans couper la feuille de plastique. L'étirement de celle-ci permet la séparation des circuits.

f) Montage en boîtier et marquage des circuits

Les circuits bons sont saisis par une pipette sur la feuille de plastique étirée pour être montés dans des boîtiers dans lesquels ils seront soudés. Les connexions sont ensuite réalisées par de fins fils d'or thermo-compressés entre les plots des circuits et ceux de leurs boîtiers. Un test final permet de s'assurer du bon fonctionnement des circuits montés.

Chapitre V

Circuits digitaux

5.1. Introduction

Le but de ce chapitre est d'introduire les fonctions logiques de base de l'électronique et de montrer comment elles sont réalisées dans les circuits intégrés. Le domaine est très vaste et ce chapitre ne traite que les principes de base illustrés par quelques exemples. Des ouvrages entiers sont consacrés à ce sujet de première importance en électronique étant donné l'importance du traitement numérique de l'information.

Le principe général de la logique MOS est de commuter la tension d'alimentation V_{DD} ou la tension nulle de référence en jouant sur la valeur de la tension de grille d'un MOSFET. En logique, on adopte une représentation simple pour distinguer les MOS canal n et canal p . La *figure 55* rappelle les deux schémas.

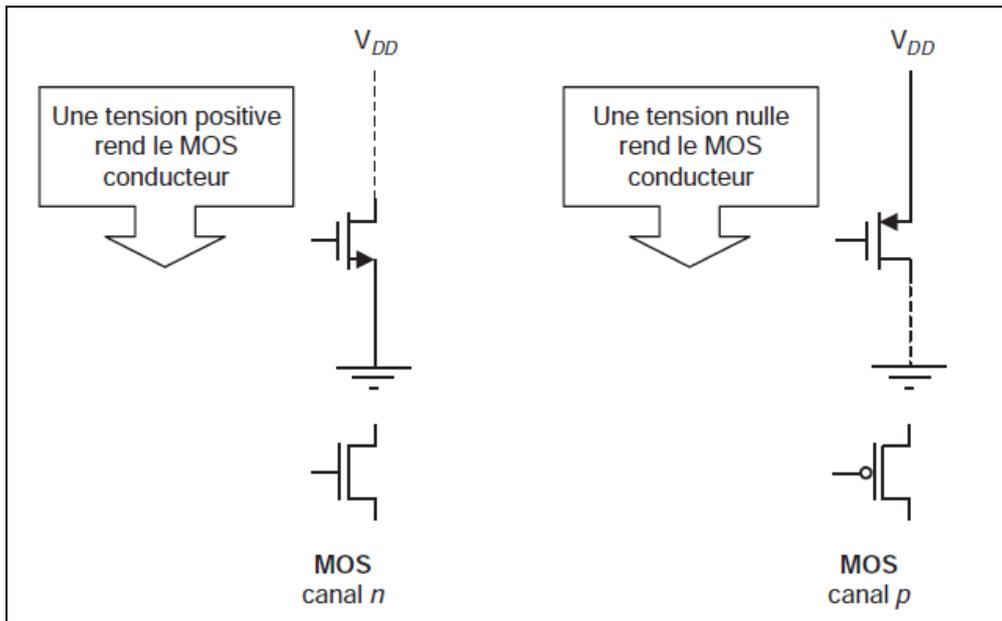


Figure 55 : Schémas des transistors en logique.

Rappelons que le MOS canal p fonctionne généralement en polarisant la source et le puits à la tension positive d'alimentation V_{DD} . Les potentiels de grille et de drain sont donc négatifs par rapport au potentiel de la source.

5.2. Inverseur CMOS de base

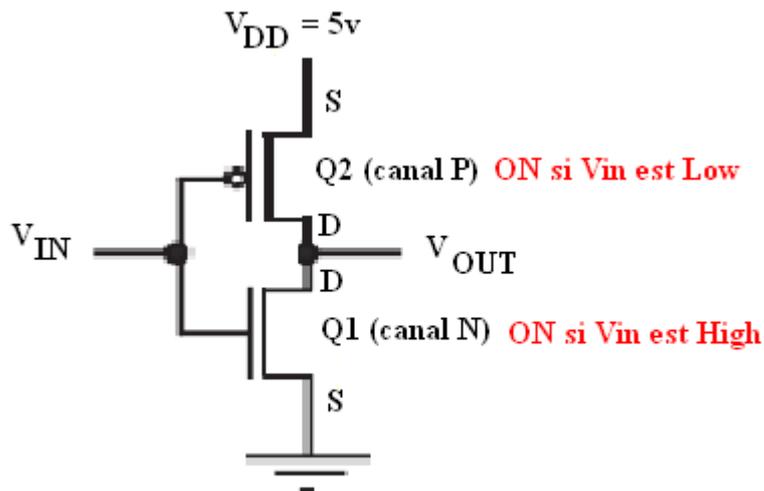


Figure 56 : L'étage Inverseur.

Les transistors NMOS et PMOS sont utilisés d'une manière complémentaire dans la logique CMOS. V_{DD} est typiquement dans la gamme 1 – 6v, souvent $V_{DD} = +5V$ pour qu'elle soit compatible avec la famille TTL.

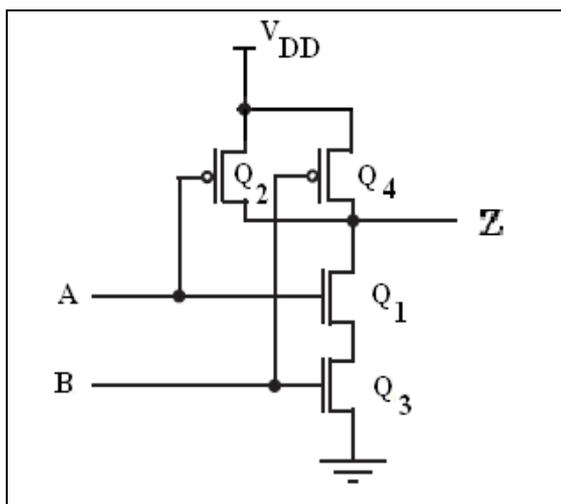
1. Si $V_{IN} = 0V$: Q_1 (canal N) est OFF tant que $V_{GS} = 0V$, mais Q_2 (canal P) est ON car ($V_{GS} = -5V$), donc Q_2 présente une très faible résistance entre l'alimentation (V_{DD}) et le nœud de sortie et $V_{OUT} = +5V$.
2. Si $V_{IN} = 5V$: Q_1 est ON ($V_{GS} = +5V$) mais Q_2 est OFF car ($V_{GS} = 0V$), donc Q_1 présente une faible résistance entre le nœud de sortie et la masse (V_{SS}) et $V_{OUT} = 0V$.

V_{IN}	Q_1	Q_2	V_{OUT}
0 (L)	OFF	ON	5V (H)
5V (H)	ON	OFF	0 (L)

5.3. CMOS NAND à deux entrées

La *figure 57* montre le schéma d'un NAND à deux entrées ainsi que sa table de vérité.

- Si l'une des entrées est à l'état « bas », la sortie « Z » possède une connexion faible impédance à V_{DD} à travers le transistor PMOS (ON) correspondant et le chemin vers la masse est bloqué par le transistor NMOS (OFF) correspondant \Rightarrow **Z= High**.
- Si les deux entrées (A et B) sont à l'état « haut » en même temps, le chemin vers V_{DD} est bloqué et la sortie « Z » possède une connexion faible impédance vers la masse \Rightarrow **Z= Low**.



A	B	Q_1	Q_2	Q_3	Q_4	Z
L	L	OFF	ON	OFF	ON	H
L	H	OFF	ON	ON	OFF	H
H	L	ON	OFF	OFF	ON	H
H	H	ON	OFF	ON	OFF	L

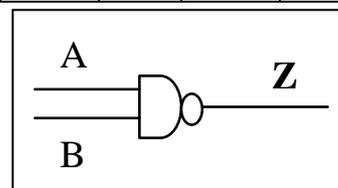
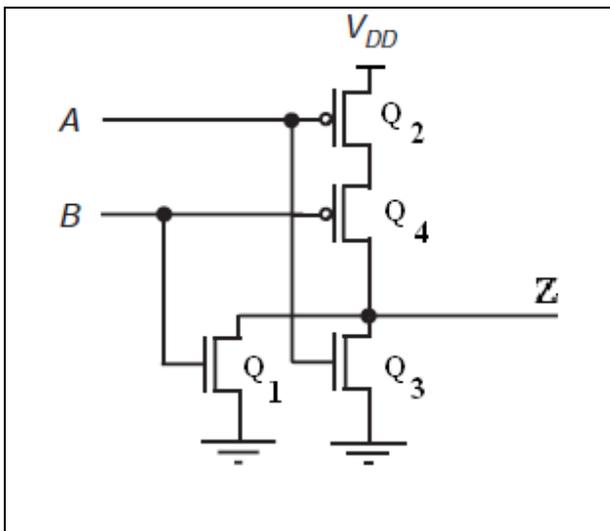


Figure 57 : NAND à 2 entrées.

5.4. CMOS NOR à deux entrées

On peut de même réaliser une fonction NOR comme le montre la *figure 58*. Le fonctionnement en est très simple et les deux MOS de sortie sont en parallèle au lieu d'être en série comme dans la porte NAND.

- Si les deux entrées (A et B) sont l'état « bas » en même temps, Z est reliée à V_{DD} à travers les 2 transistors PMOS Q_2 et Q_4 (ON) et le chemin vers la masse est bloqué par les 2 transistors NMOS (OFF) \Rightarrow **Z= High**.
- Si l'une des entrées est à l'état « haut », le chemin vers V_{DD} et Z possède une connexion faible impédance vers la masse \Rightarrow **Z= Low**.



A	B	Q ₁	Q ₂	Q ₃	Q ₄	Z
L	L	OFF	ON	OFF	ON	H
L	H	OFF	ON	ON	OFF	L
H	L	ON	OFF	OFF	ON	L
H	H	ON	OFF	ON	OFF	L

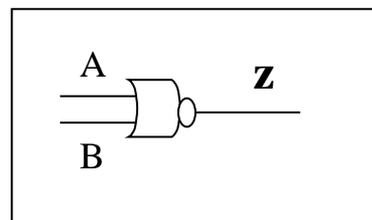
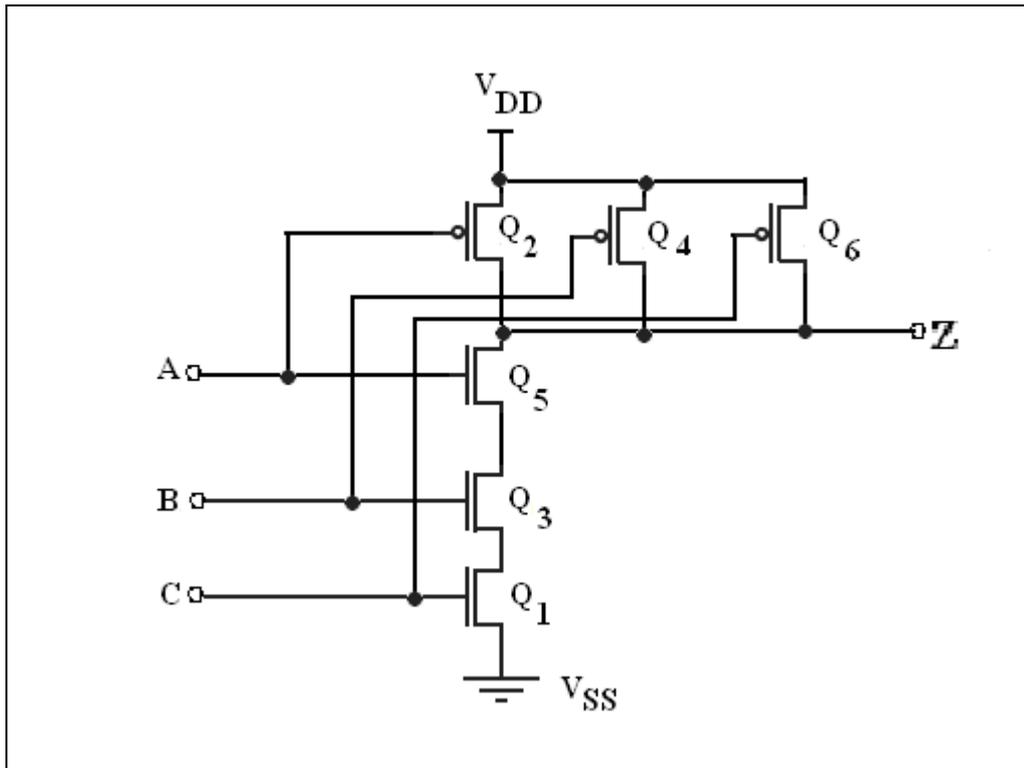


Figure 58 : NOR à 2 entrées.

5.5. Fan In

Le nombre qu'une porte logique peut avoir dans une famille logique particulière est appelé le « Fan – In de la famille logique ». Les portes CMOS avec plus de deux entrées peuvent être obtenues par extension série – parallèle des circuits représentés dans les figures 57 et 58.

Une porte à n-entrées possède « n » transistors séries et « n » transistors parallèles. Par exemple, le circuit de la figure 59 montre une porte NAND CMOS à trois entrées.



A	B	C	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Z
L	L	L	OFF	ON	OFF	ON	OFF	ON	H
L	L	H	OFF	ON	OFF	ON	ON	OFF	H
L	H	L	OFF	ON	ON	OFF	OFF	ON	H
L	H	H	OFF	ON	ON	OFF	ON	OFF	H
H	L	L	ON	OFF	OFF	ON	OFF	ON	H
H	L	H	ON	OFF	OFF	ON	ON	OFF	H
H	H	L	ON	OFF	ON	OFF	OFF	ON	H
H	H	H	ON	OFF	ON	OFF	ON	OFF	L

Figure 59 : CMOS NAND à 3 entrées.

En principe, on peut dessiner une porte CMOS (NAND ou NOR) avec un grand nombre d'entrées. En pratique, cependant, l'addition des « résistances ON » des transistors séries limite le Fan – In des portes CMOS typiquement à 4 pour les portes NOR et à 6 pour les portes NAND.

Comme solution de rechange, une porte avec un grand nombre d'entrées peut-être obtenue en associant en cascade des portes avec moins d'entrées.

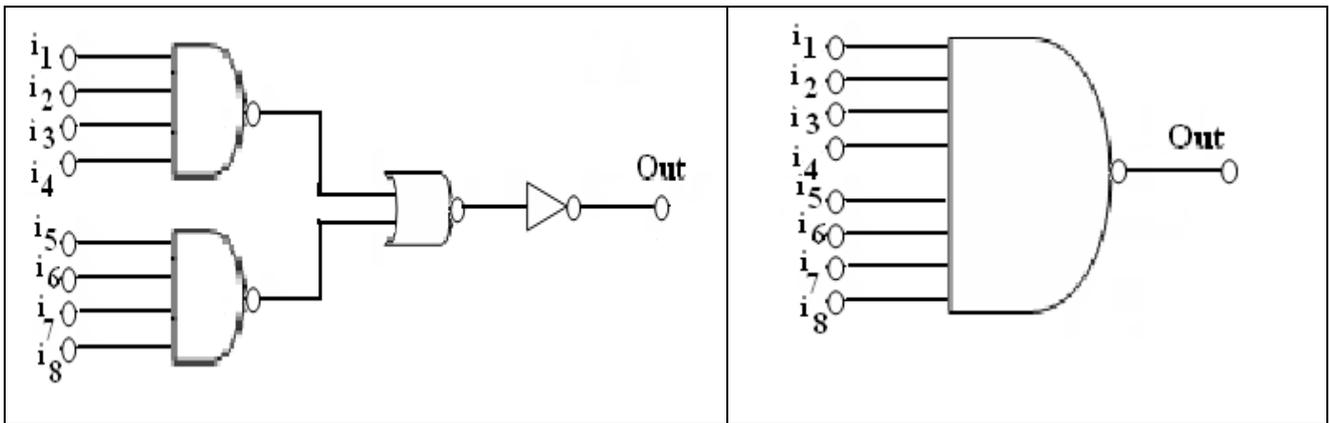


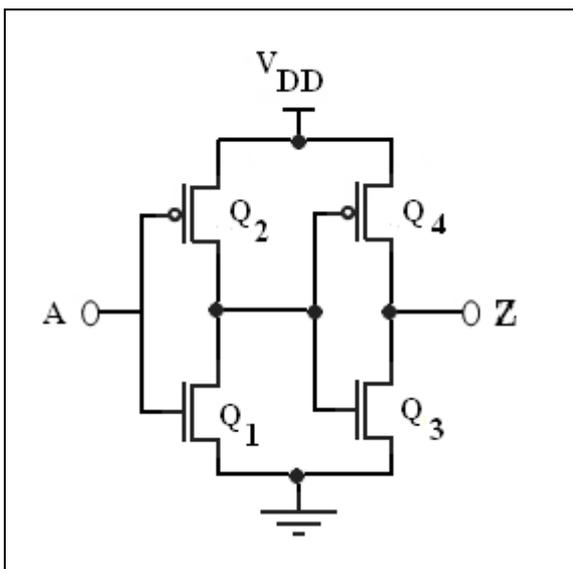
Figure 60 : CMOS NAND à 8 entrées.

5.6. Portes non inverseuses

a. Buffer

Dans le technologie CMOS et dans le plupart des autres familles logiques, les portes les plus simples à réaliser sont les inverseurs, en deuxième position viennent les portes NAND et NOR (l'inversion est gratuite). Il est impossible de réaliser une porte non inverseuse avec un nombre plus petit de transistors que de réaliser la même porte inverseuse.

Les buffers CMOS non inverseurs, les portes NAND et les portes NOR sont obtenus en connectant un inverseur à la sortie de la porte inverseuse correspondante.



A	Q ₁	Q ₂	Q ₃	Q ₄	Z
L	OFF	ON	ON	OFF	L
H	ON	OFF	OFF	ON	H

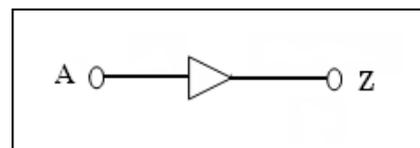
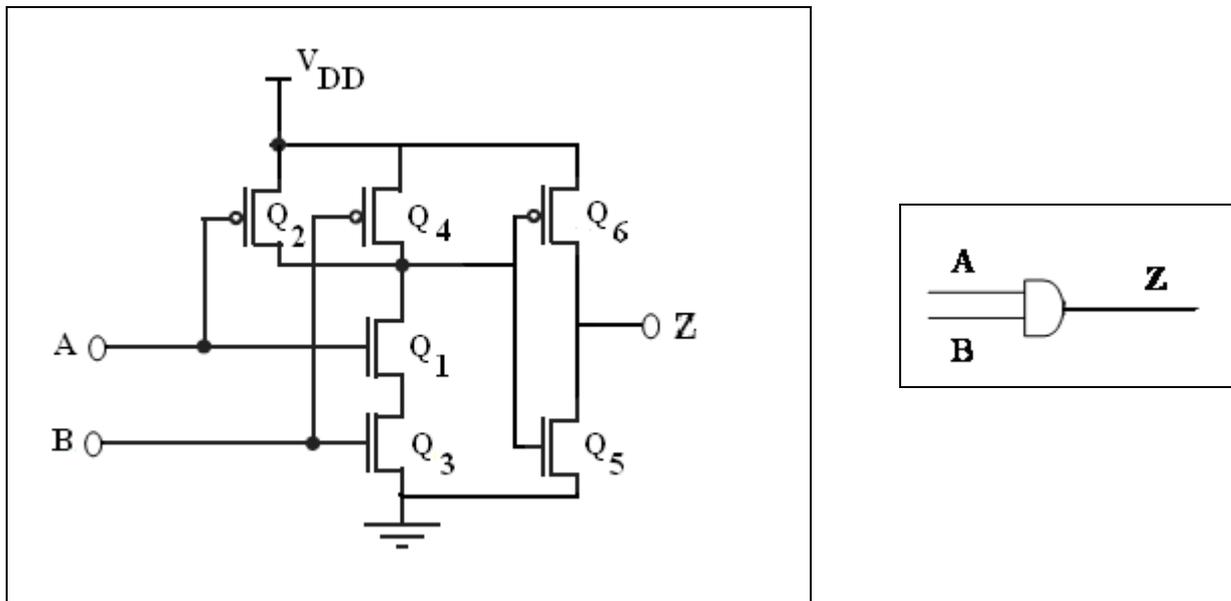


Figure 61 : Buffer CMOS .

b. Porte AND à 2 entrées

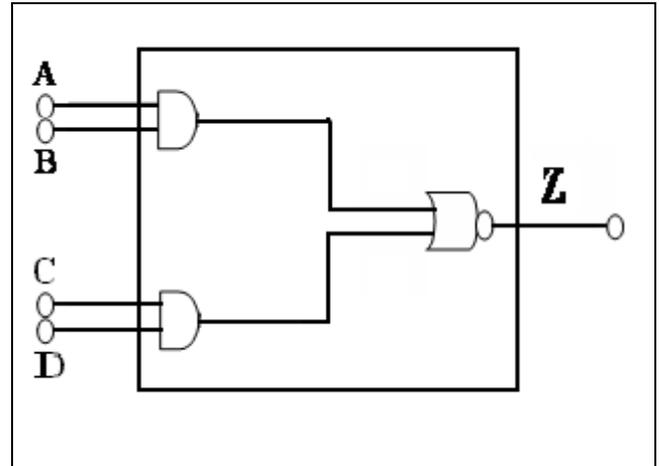
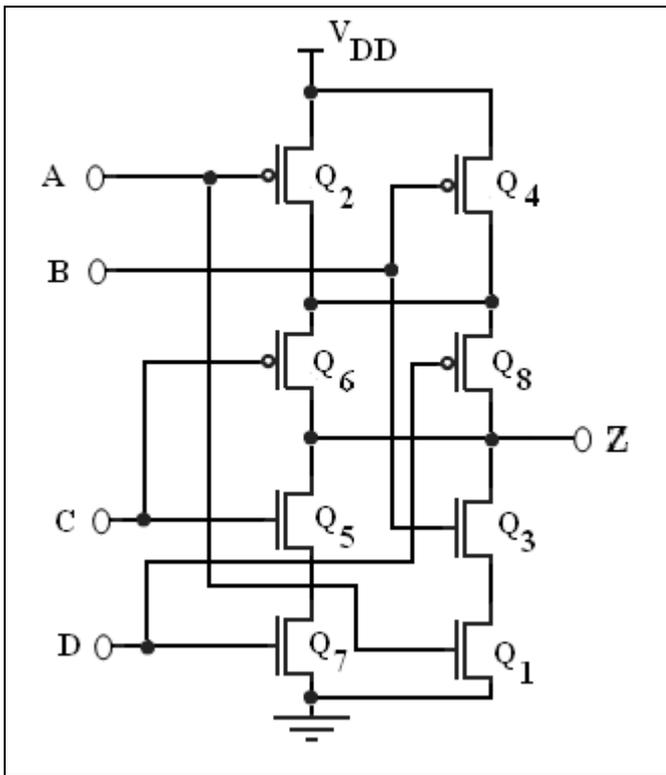


A	B	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Z
L	L	OFF	ON	OFF	ON	ON	OFF	L
L	H	OFF	ON	ON	OFF	ON	OFF	L
H	L	ON	OFF	OFF	ON	OFF	ON	L
H	H	ON	OFF	ON	OFF	OFF	ON	H

Figure 62 : CMOS AND à 2 entrées.

c. Porte AOI (And Or Invert)

Les circuits CMOS peuvent assurer deux niveaux logiques avec un seul niveau de transistors. La figure 63 montre le circuit d'une porte 2 x 2 CMOS AND – OR Invert (Porte AOI).

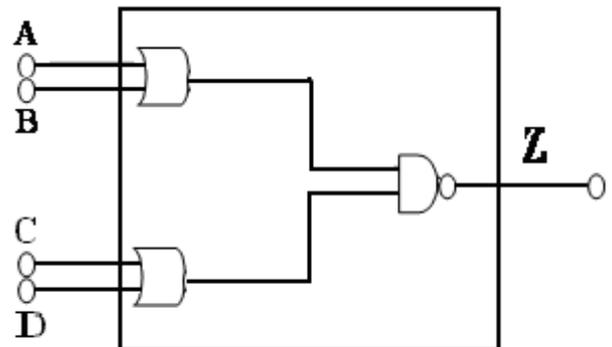
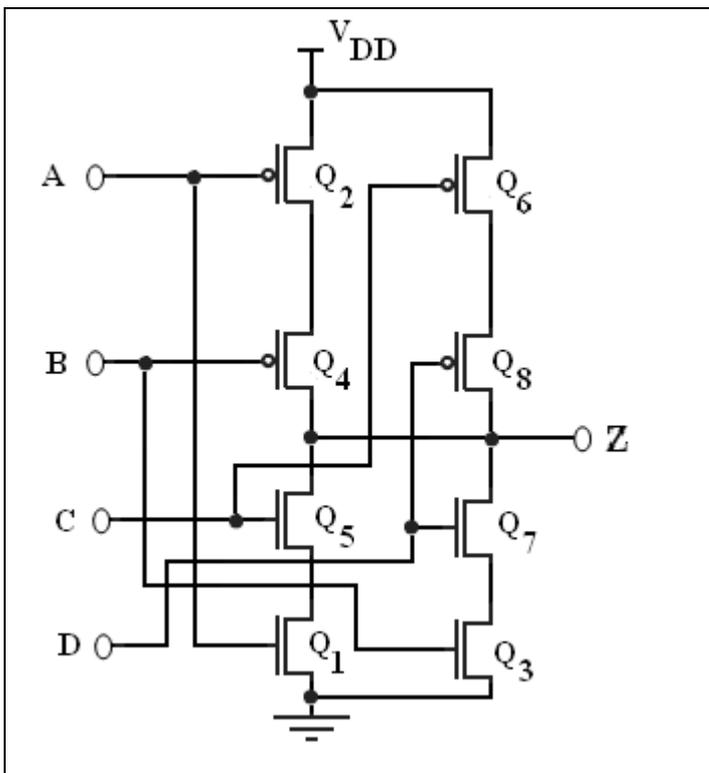


A	B	C	D	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Z
L	L	L	L	OFF	ON	OFF	ON	OFF	ON	OFF	ON	H
L	L	L	H	OFF	ON	OFF	ON	OFF	ON	ON	OFF	H
L	L	H	L	OFF	ON	OFF	ON	ON	OFF	OFF	ON	H
L	L	H	H	OFF	ON	OFF	ON	ON	OFF	ON	OFF	L
L	H	L	L	OFF	ON	ON	OFF	OFF	ON	OFF	ON	H
L	H	L	H	OFF	ON	ON	OFF	OFF	ON	ON	OFF	H
L	H	H	L	OFF	ON	ON	OFF	ON	OFF	OFF	ON	H
L	H	H	H	OFF	ON	ON	OFF	ON	OFF	ON	OFF	L
H	L	L	L	ON	OFF	OFF	ON	OFF	ON	OFF	ON	H
H	L	L	H	ON	OFF	OFF	ON	OFF	ON	ON	OFF	H
H	L	H	L	ON	OFF	OFF	ON	ON	OFF	OFF	ON	H
H	L	H	H	ON	OFF	OFF	ON	ON	OFF	ON	OFF	L
H	H	L	L	ON	OFF	ON	OFF	OFF	ON	OFF	ON	L
H	H	L	H	ON	OFF	ON	OFF	OFF	ON	ON	OFF	L
H	H	H	L	ON	OFF	ON	OFF	ON	OFF	OFF	ON	L
H	H	H	H	ON	OFF	ON	OFF	ON	OFF	ON	OFF	L

Figure 63 : Porte CMOS AOI.

- Le contenu des colonnes Q_1 à Q_8 dépend uniquement du signal d'entrée connecté au transistor de la porte correspondante. La dernière colonne est construite en examinant chaque combinaison d'entrée en déterminant si Z est connectée à V_{DD} ou à la masse à travers les transistors « ON » de cette combinaison.
- A noter que Z n'est jamais connectée à V_{DD} et à la masse en même temps pour toutes les combinaisons d'entrée.
- Si une telle situation se présente, la sortie Z sera une valeur non logique comprise entre les états Low et High, et la structure de sortie consommera une puissance excessive du fait de la présence d'une connexion faible impédance entre V_{DD} et à la masse.

d. Porte OAI (Or And Invert)



A	B	C	D	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Z
L	L	L	L	OFF	ON	OFF	ON	OFF	ON	OFF	ON	H
L	L	L	H	OFF	ON	OFF	ON	OFF	ON	ON	OFF	H
L	L	H	L	OFF	ON	OFF	ON	ON	OFF	OFF	ON	H
L	L	H	H	OFF	ON	OFF	ON	ON	OFF	ON	OFF	H
L	H	L	L	OFF	ON	ON	OFF	OFF	ON	OFF	ON	H
L	H	L	H	OFF	ON	ON	OFF	OFF	ON	ON	OFF	L
L	H	H	L	OFF	ON	ON	OFF	ON	OFF	OFF	ON	L
L	H	H	H	OFF	ON	ON	OFF	ON	OFF	ON	OFF	L
H	L	L	L	ON	OFF	OFF	ON	OFF	ON	OFF	ON	H
H	L	L	H	ON	OFF	OFF	ON	OFF	ON	ON	OFF	L
H	L	H	L	ON	OFF	OFF	ON	ON	OFF	OFF	ON	L
H	L	H	H	ON	OFF	OFF	ON	ON	OFF	ON	OFF	L
H	H	L	L	ON	OFF	ON	OFF	OFF	ON	OFF	ON	H
H	H	L	H	ON	OFF	ON	OFF	OFF	ON	ON	OFF	L
H	H	H	L	ON	OFF	ON	OFF	ON	OFF	OFF	ON	L
H	H	H	H	ON	OFF	ON	OFF	ON	OFF	ON	OFF	L

Figure 64 : Porte CMOS OAI.

5.7. Fan Out

Le fan out d'une porte logique est le nombre d'entrée que cette porte peut attaquer sans altérer ses spécifications. Le fan out dépend non seulement des caractéristiques de la sortie, mais aussi des entrées qu'elle prend en charge. Le fan out d'une porte logique doit être examiné pour les deux états de la sortie : High et low qui ne sont pas nécessairement égaux.

Chapitre VI

Applications

6.1. Exemple N° 1 :

Objectif :

Réaliser en utilisant les principes des réseaux de conduction un circuit statique réalisant une fonction booléenne S à trois entrées (A, B, C) dont la table de vérité est donnée par :

A	0	1	0	1	0	1	0	1
B	0	0	1	1	0	0	1	1
C	0	0	0	0	1	1	1	1
S	0	0	0	1	0	1	1	1

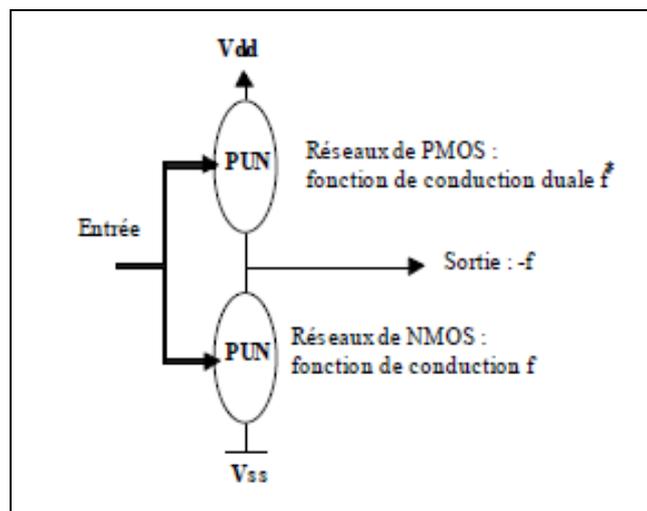
Méthodologie de synthèse :

↳ Exprimer S sous forme d'une fonction booléenne $S = f(A, B, C)$. La fonction S est vraie pour 4 états différents des entrées

$S = ABC\bar{C} + \bar{A}BC + \bar{A}B\bar{C} + ABC$ ce qui est équivalent à $S = ABC\bar{C} + ABC + \bar{A}BC + \bar{A}B\bar{C} + ABC$
 que l'on factorise $S = AB.(C + \bar{C}) + C(\bar{A}B + \bar{A}B + AB)$ ce qui se simplifie par

$$S = AB + C(A + B)$$

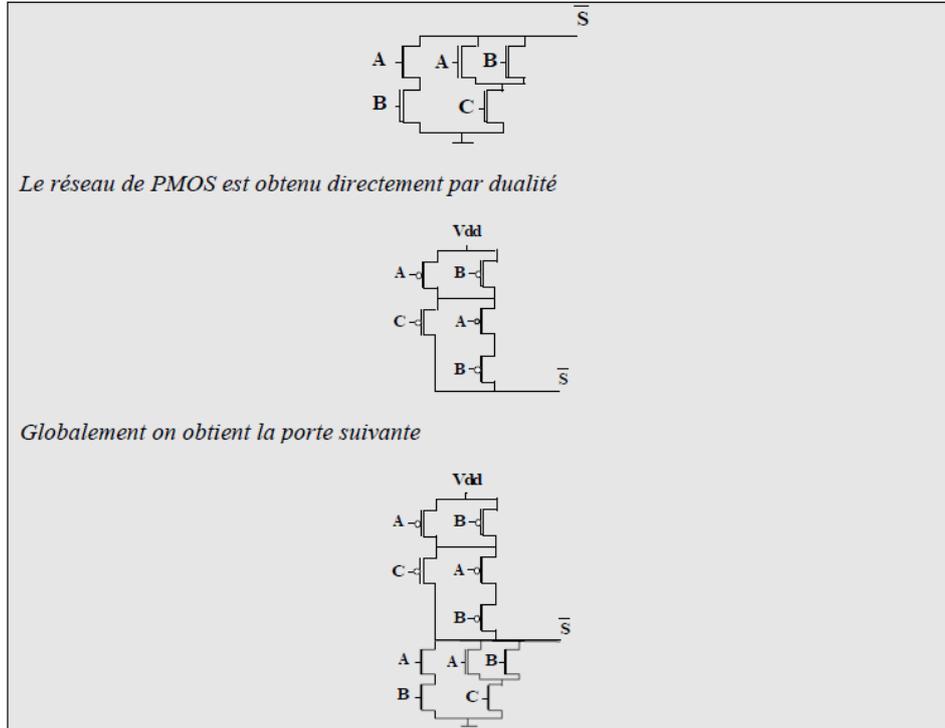
↳ Réaliser sous forme de réseaux de conduction la fonction duale \bar{S} . On rappelle le schéma de principe donné en cours :



On part donc de la fonction duale de la précédente $\bar{S} = \overline{AB + C(A + B)}$

On réalise le réseau de NMOS qui doit imposer la sortie à V_{ss} quand les entrées sont vraies (« 1 » ou V_{dd})

On rappelle qu'un NMOS utilisé dans un circuit logique est, en première approximation, un interrupteur fermé quand la grille est à V_{dd} .

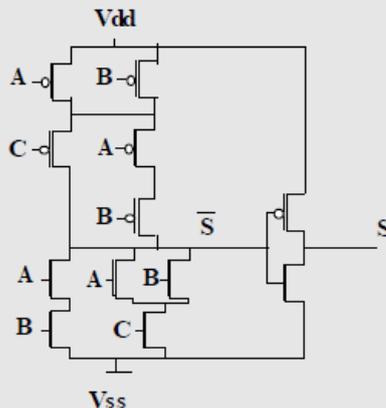


↳ Réaliser la fonction S sous forme de réseaux de conduction :

$\bar{S} = \overline{AB + C(A + B)}$ que l'on réécrit grâce au théorème de De Morgan

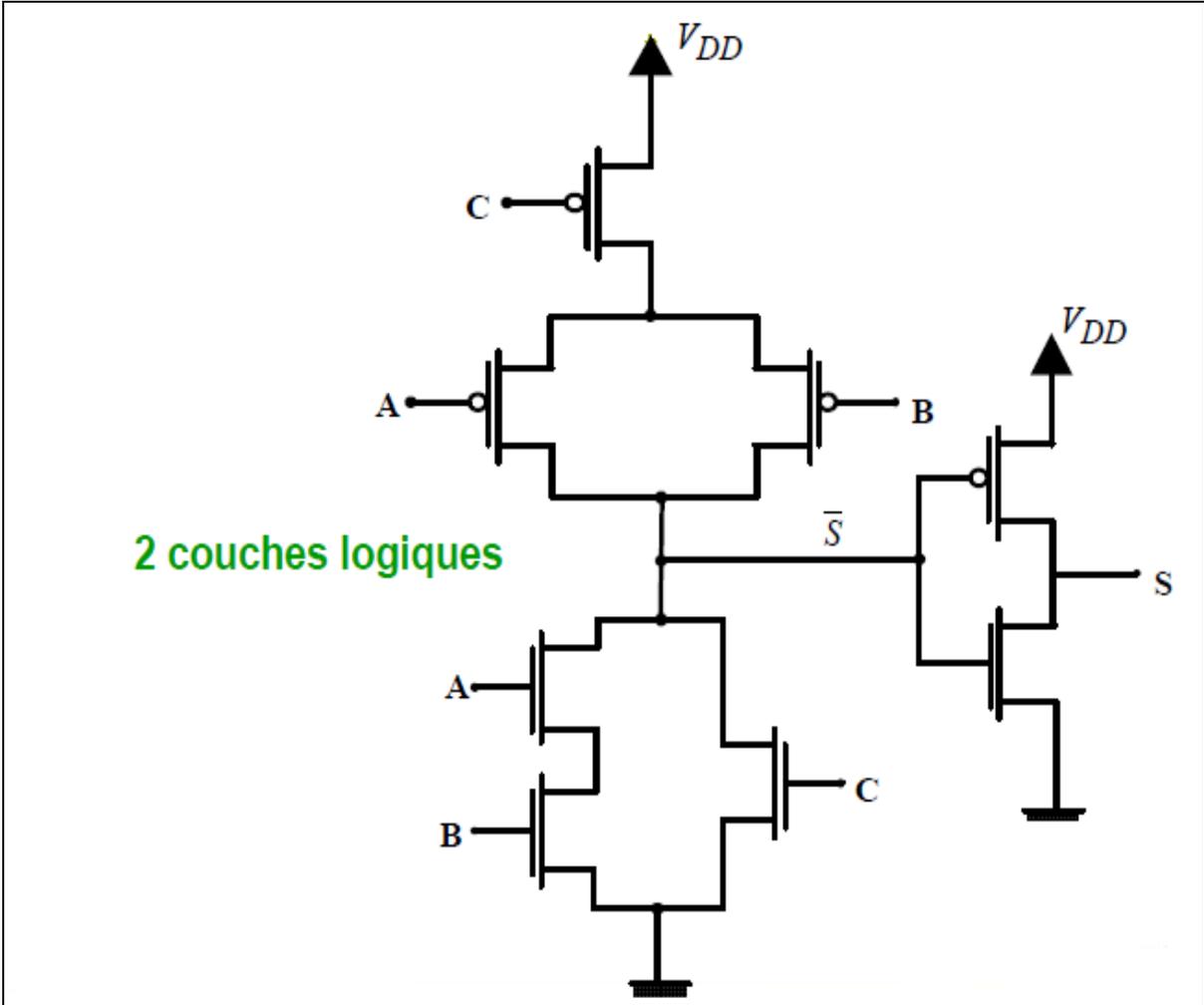
$$\bar{S} = \overline{AB + C(A + B)} = \overline{AB} \cdot \overline{C(A + B)} = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{A}\bar{B})$$

En utilisant l'approche précédente il faudra au préalable disposer de \bar{A} , \bar{B} et de \bar{C} soit trois inverseurs donc 6 transistors supplémentaires. Il est donc logique de garder la structure précédente et de rajouter un inverseur final.



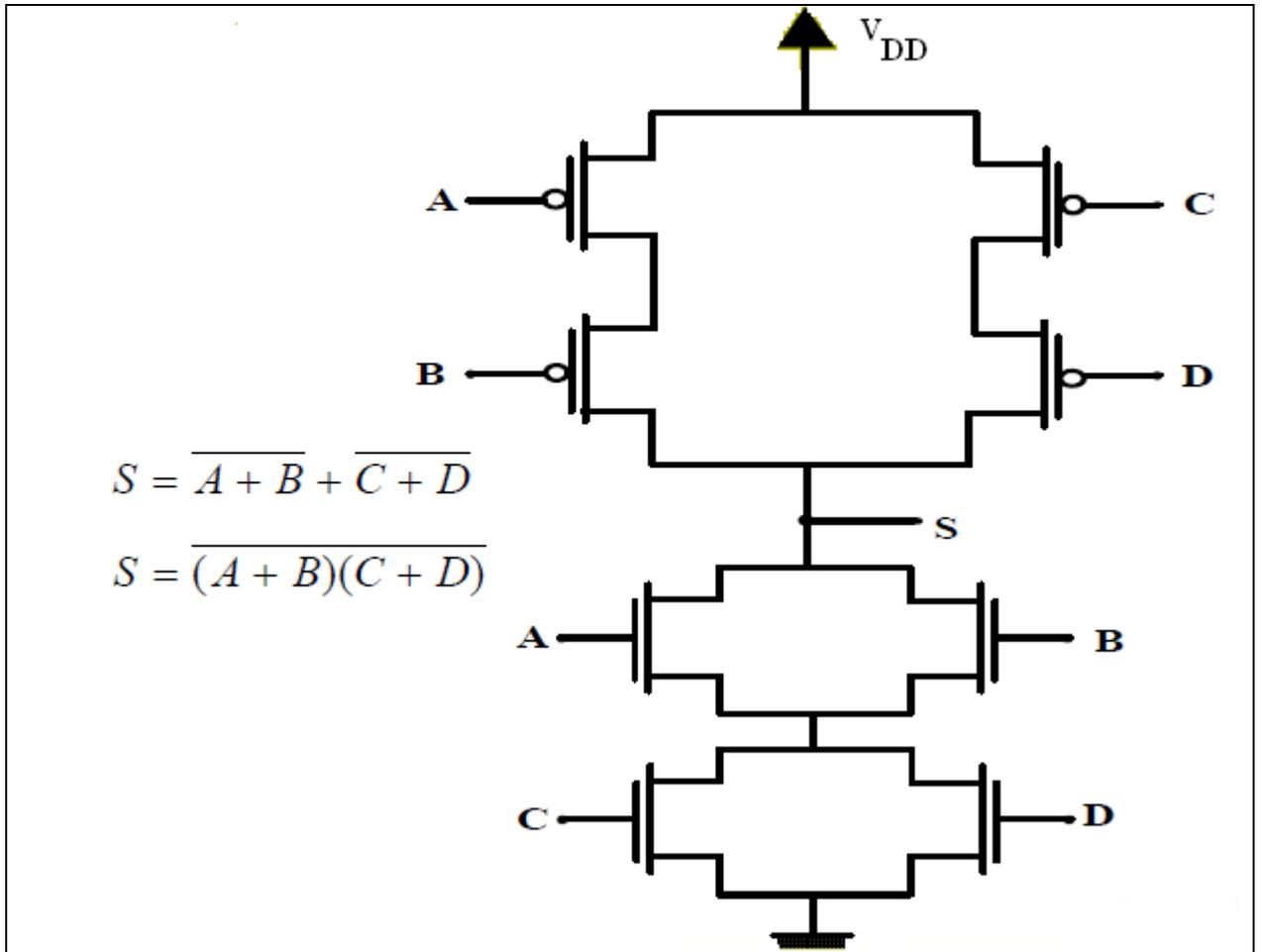
6.2. Exemple N° 2 :

Synthèse de la fonction $S = f(A,B,C) = AB + C$



6.3. Exemple N° 3 :

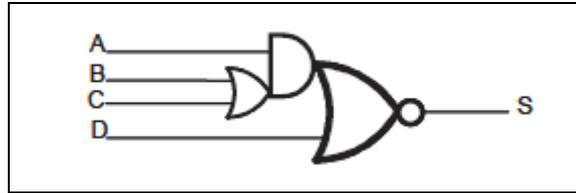
Synthèse de la fonction $S = f(A,B,C) = \overline{A} \overline{B} + \overline{C} \overline{D}$



6.4. Exemple N° 4 :

Conception d'une porte CMOS complexe

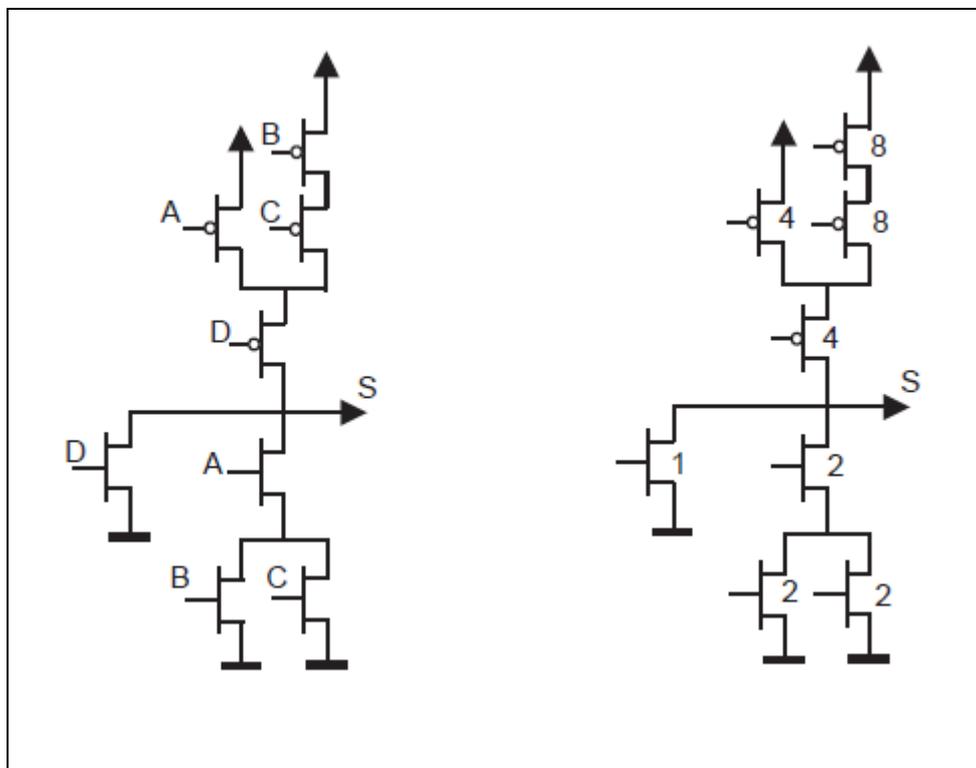
Soit la porte complexe suivante :



On supposera qu'elle est réalisée en CMOS « classique ».

1. Déterminer son schéma « en transistors ».
2. Dimensionner la taille de ses transistors par rapport à ceux de l'inverseur « minimum » pour obtenir des performances électriques comparables (temps de montée et de descente).
3. Déterminer les charges capacitives des entrées, par rapport à celle de l'inverseur minimum.
4. Cette porte peut-elle être attaquée par des inverseurs minimaux ? (Justifiez votre réponse.)

1. et 2. Dessin en transistor et leurs dimensionnements



3. Charge des entrées

Entrées	Charge tr N	Charge tr P	Total	Charge équivalente
A	2	4	6	2
B	2	8	10	3,3
C	2	8	10	3,3
D	1	4	5	1,6

4. Un inverseur minimal possède une impédance d'entrée égale à 3 fois la capacité de grille de son transistor N et une sortance de 8. La charge apportée par chacune de ses entrées peut être évaluée relativement à celle d'un inverseur, ce qui montre que dans tous les cas, elle peut être attaquée par un inverseur minimal.

7. REFERENCES BIBLIOGRAPHIQUES

- [1] J.E. Lilienfeld, “Device for controlling electric current”, brevet US n° 1 900 018, 1933.
- [2] J. Bardeen et W.H. Brattain, “Three electrodes circuit element utilizing semiconductive Material”, brevet US n°2 524 035, 1950.
- [3] R.N. Noyce, Semiconductor Device-and-lead Structure, brevet US n° 2 981 877, 1961.
- [4] J.S. Kilby, “Miniaturized Electronic Circuits”, brevet US n° 3 128 743, 1964.
- [5] G. Moore, “Cramming more components onto integrated circuits”, Electronics, Vol. 38, N° 8, 1965.
- [6] F. Anceau et Y. Bonnassieux, «Conception des circuits VLSI : Du composant au système », Dunod, Paris, 2007.
- [7] H. Fanet, « Micro et nanoélectronique : Bases, Composants, Circuits », Dunod, Paris, 2006
- [8] C. Mead et L. Conway, « Introduction aux systèmes VLSI », Inter Editions, 1983.
- [9] C. Kittel, « Physique de l'état solide », 7^{ème} édition, Dunod, 2005.
- [10] C. et H. Ngô, « Les Semi-conducteurs – de l'électron aux dispositifs », Dunod, 2003.
- [11] R. J. Baker, “CMOS Circuit design, Layout and Simulation”, 2nd edition, John Wiley and Sons, 2005.
- [12] Y. P. Tsividis, “Operation and Modelling of the MOS transistor”, 2nd edition, McGraw-Hill, 1999.