

## Chapitre 2 : Technologies des circuits programmables

### 2.1. Réseaux logiques programmables

#### 2.1.1 Introduction

Les composants électroniques d'un système à base des micros processeurs et circuits mémoire ont besoin de s'interfacer entre elles par une logique câblée ou programmée. Elles utilisent généralement pour réaliser ces interfaces des fonctions à base des circuits logique élémentaires. Le nombre de circuits nécessaires pour remplir ces fonctions peut devenir très important. Pour diminuer le coût de fabrication, de développement et de la maintenance, les fabricants de circuits intégrés ont donné naissance aux circuits logiques programmables.

Ces circuits sont capables de réaliser plusieurs fonctions logiques dans un seul circuit intégré. Ainsi, l'évolution des fonctions s'effectue par programmation comparée à une solution classique où il faut refaire un circuit imprimé si on veut modifier leur fonctionnement. Avec ce type de circuits logique programmable, nous avons la possibilité de réaliser le prototypage des circuits imprimé rapidement sur des circuits intégré à des applications spécifique (ASIC).

#### 2.1.2 Les PAL

PAL (Programmable Array Logic) est constitué d'une zone d'entrée de fusibles ou matrice de programmation et une structure de sortie non programmable déterminant le type de circuit.

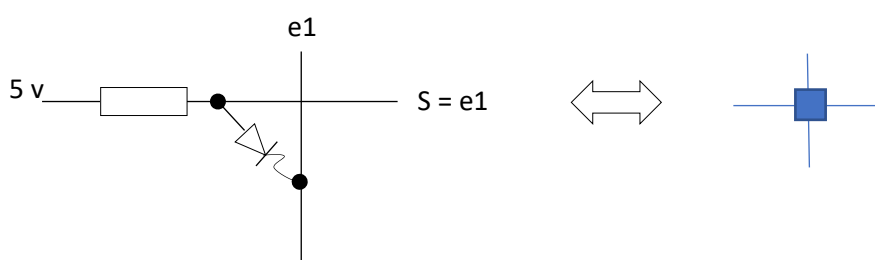


Figure 9 : Matrice de connexion.

La connexion est supprimée par claquage du fusible, obtenu par l'application d'une tension de 12 à 25 Volt.

PAL c'est une association de plusieurs portes logiques composés de réseau de ET et de OU logique programmable, tel que, montré dans la figure suivante.

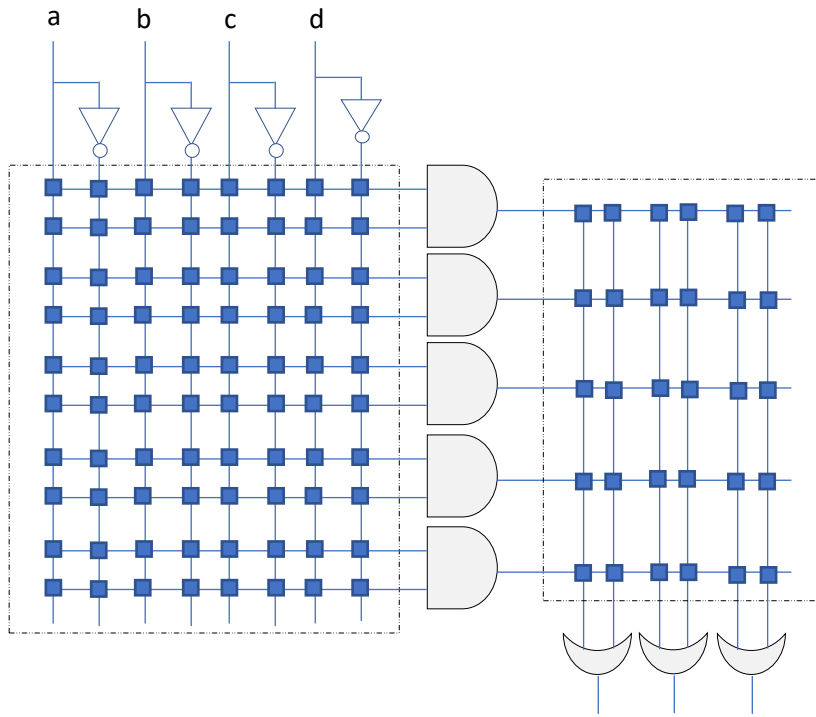


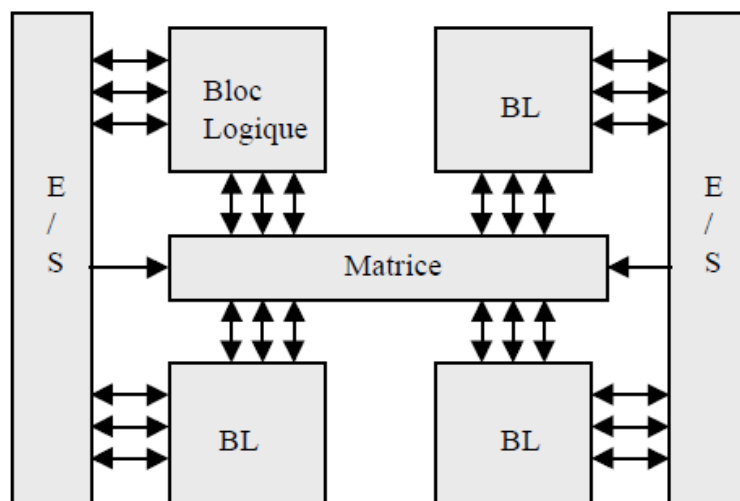
Figure 10 : Structure interne d'une PAL.

### 2.1.3 Circuits logiques programmables complexes

Les circuits logiques programmables complexes (CPLD) ont une capacité en nombre de portes logique et en possibilités de configuration très supérieure à celle des PALs. Un CPLD c'est l'équivalent de plusieurs PALs mais dans le même circuit associé à une zone d'interconnexion. Le nombre de portes peut varier entre 100 et 100 000 portes logiques et entre 16 et 1000 bascules.

### 2.1.4 Architecture des CPLD

C'est un ensemble de fonctions du type PAL ou macro cellules de base regroupé en blocs logiques pouvant être interconnectés à l'aide des matrices d'interconnexion globale et la distribution des signaux dans chaque bloc logique.



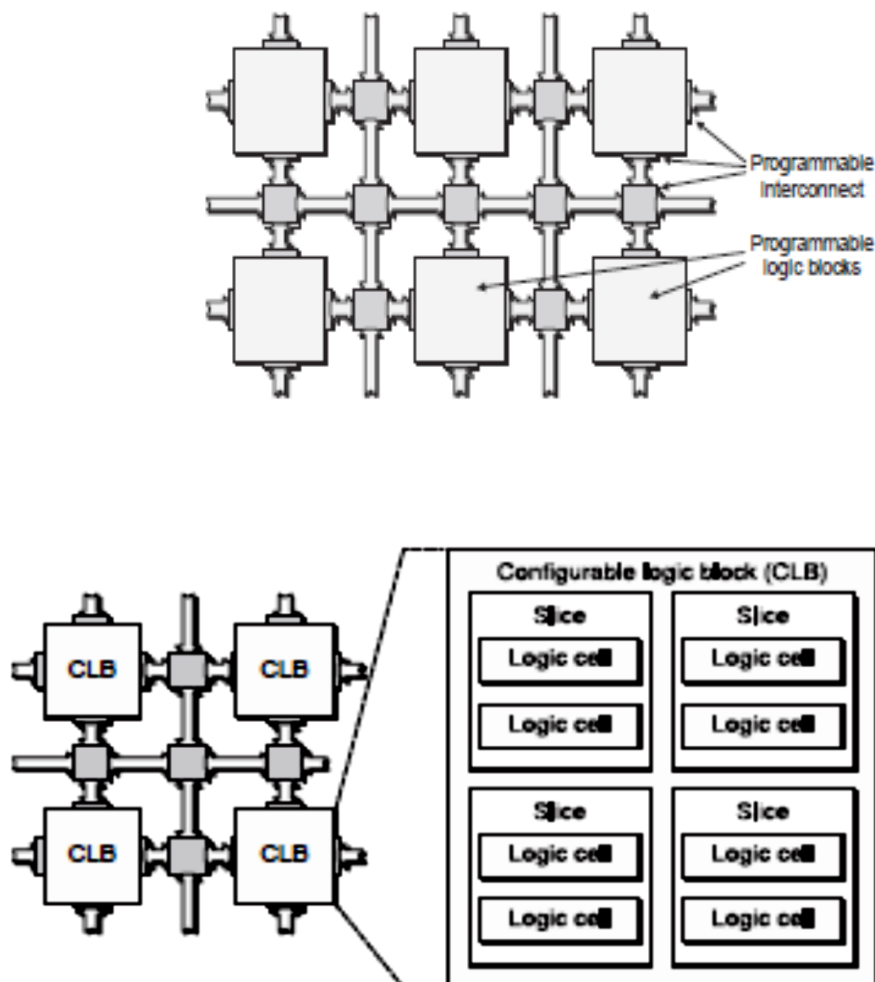
Exemple :

- Altera MAX 7000 et MAX 9000.
- Xilinx XC9500.

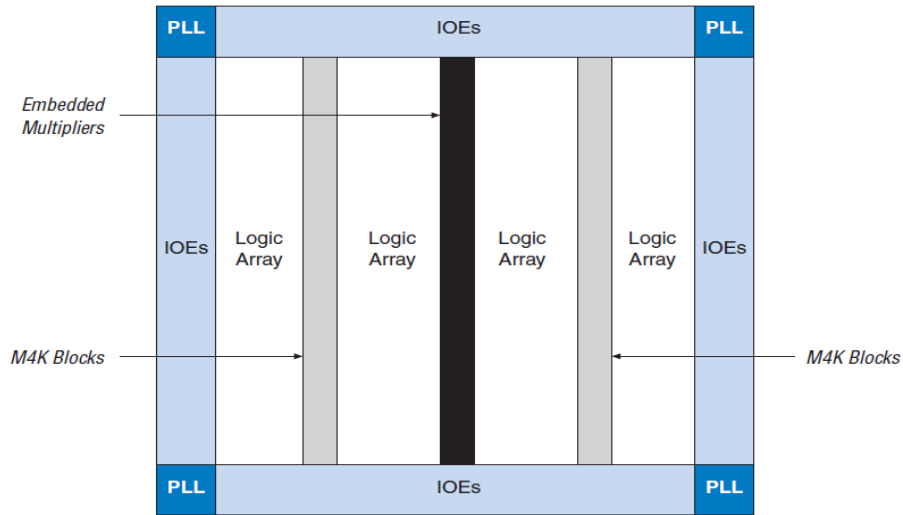
### 3. Les FPGA

Les FPGA ((Field programmable gate arrays) à la différence des CPLDs sont assimilables à des ASIC. (Application Specific Integrated Circuit) programmables par l'utilisateur. La puissance de ces circuits est telle qu'ils peuvent être composés de plusieurs milliers de portes logiques et de bascules élémentaires qui peuvent être interconnectés. Les dernières générations de FPGA intègrent même de la mémoire vive (RAM), des micros processeur (power PC IBM, NIOS), des blocks DSP. Les deux plus grands constructeurs des FPGA sont XILINX et ALTERA.

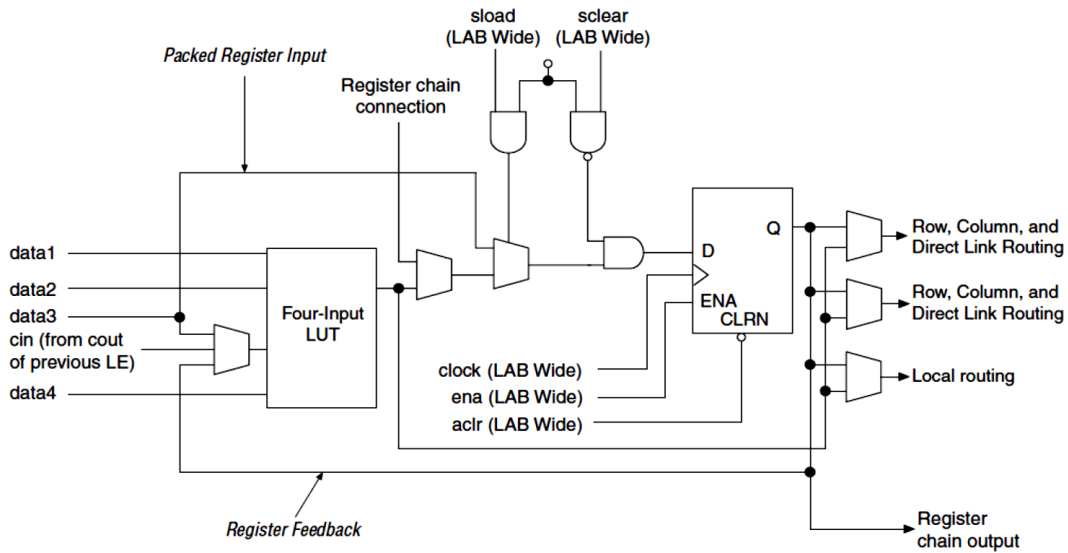
#### 3.1. Structure d'un FPGA de type XILINX



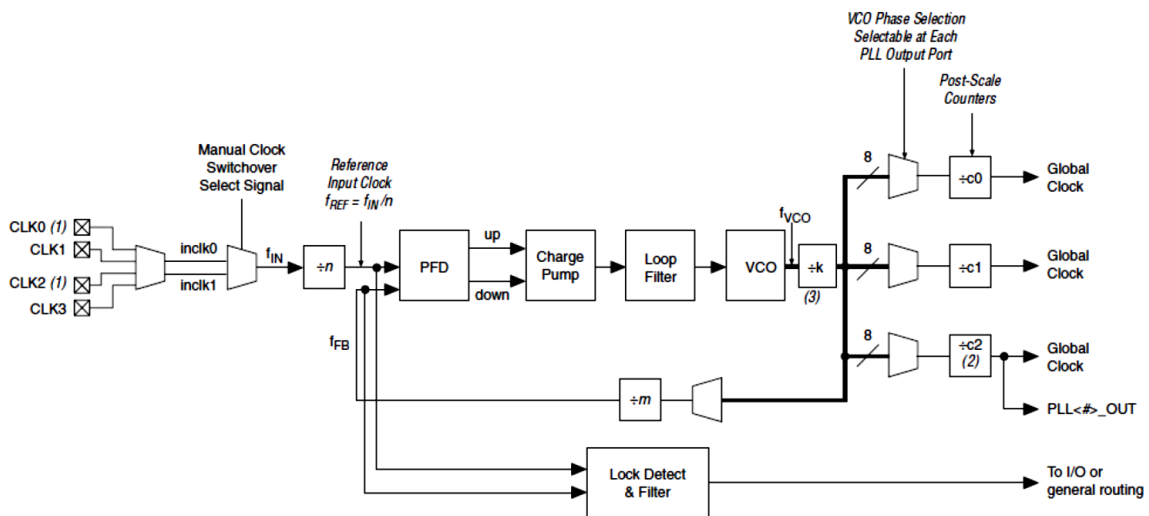
### 3.2. Structure d'un FPGA de type ALTERA Cyclone II



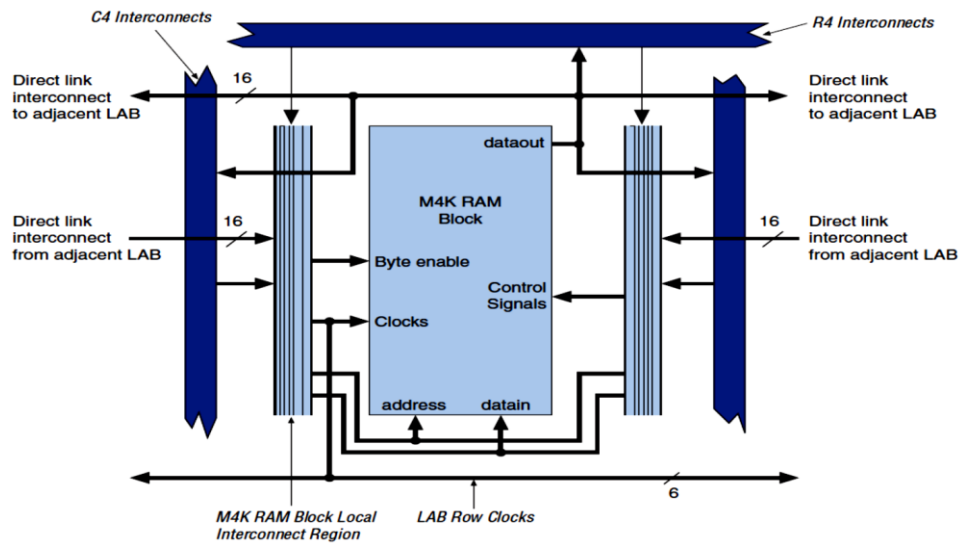
- **Logique élément LE**



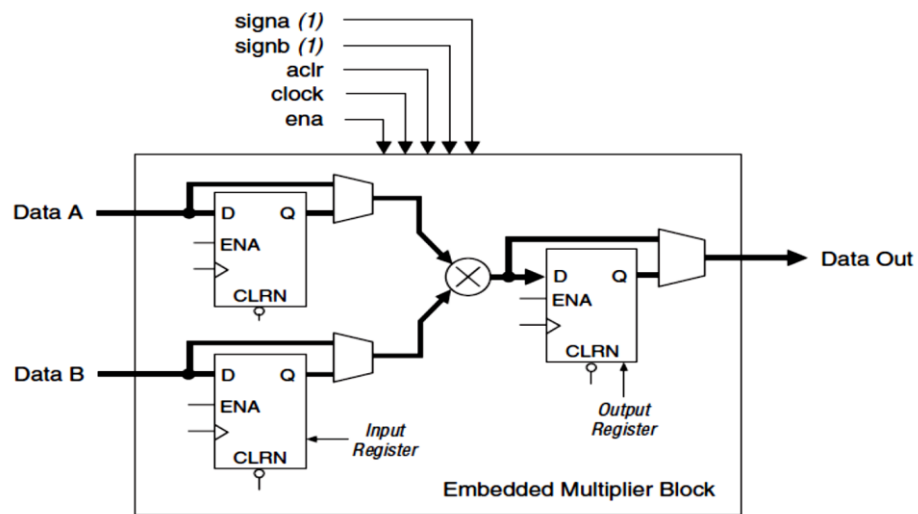
- **Cyclone II PLL**



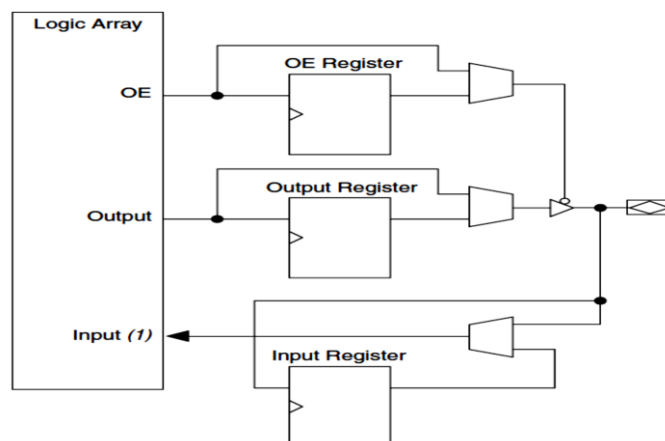
- **M4K RAM Block LAB Row Interface**



- Multiplier Block Architecture



- Cyclone II IOE Structure



### 3.3. Circuits disponibles

<b>Fabricant</b>	<b>FPGA</b>	<b>CPLD</b>	<b>PLD</b>
<b>Altera</b>	<i>SRAM</i> APEX 20K FLEX6000 ; FLEX8000 EP2C35F672	<i>EEPROM</i> MAX 9000 ; MAX 7000 ; <i>FLASH</i> ; FLASHlogic	<i>EPROM</i> Classic
<b>Xilinx</b>	<i>SRAM</i> Virtex Spartan XC4000E/XL/XV ;XC5200	<i>FLASH</i> CoolRunner XPLA3; XPLA2 XC9500/XL/XV	
<b>Lattice Vantis</b>	<i>SRAM</i> VF1	<i>EEPROM</i> pLSI 8000 ; pLSI 5000 ; MACH 5/5A ; MACH 4/4A	<i>EEPROM</i> GAL PAL
<b>Actel</b>	<i>FLASH</i> ProASIC 500K <i>Anti-fuse</i> SX Series ; MX Series ACT3/ 3PCI ; ACT 2/1		
<b>Lucent</b>	<i>SRAM</i> ORCA 3+/ 3 ; ORCA 2C/ 2T ATT 3000		
<b>Cypress</b>		<i>EEPROM</i> Ultra 37000 Delta39K Flash 370/370i	<i>EPROM</i> PAL PLD
<b>Atmel</b>	<i>SRAM</i> AT40K ; AT6000 FPSLIC		
<b>Quicklogic</b>	<i>ANTI-FUSE</i> QuickRAM ; QuickPCI pASIC3 ; pASIC2 ;		
<b>TI</b>			<i>FUSE</i> PAL
<b>ICT</b>			<i>EEPROM</i> PEEL
<b>WSI</b>		<i>EEPROM</i> PSD	
<b>Triscend</b>	<i>SRAM</i> E5 Configurable System-on-Chip		
<b>Gatefield</b>	<i>EEPROM</i> GF260F ; GF250F		

Table 7.1. Source « The programmable Logic Jump Station Mars 99 »

[www.optimagic.com/summary.html](http://www.optimagic.com/summary.html)